



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Noriko SHINOMIYA

Serial No.: 10/606,283

Group Art Unit: Unassigned

Filed: June 26, 2003

Examiner: Unassigned

For: SEMICONDUCTOR INTEGRATED CIRCUIT DESIGNING APPARATUS,
SEMICONDUCTOR INTEGRATED CIRCUIT DESIGNING METHOD, SEMICONDUCTOR
INTEGRATED CIRCUIT MANUFACTURING METHOD, AND READABLE RECORDING
MEDIA

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln No. 2002-188421, filed June 27, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

Roger W. Parkhurst
Registration No. 25,177

August 7, 2003
Date

RWP/klb
Attorney Docket No. HYAE:165
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 6月27日

出 願 番 号
Application Number:

特願2002-188421

[ST.10/C]:

[JP2002-188421]

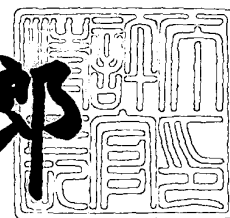
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028259

【書類名】 特許願

【整理番号】 2037640005

【提出日】 平成14年 6月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 四宮 典子

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【選任した代理人】

 【識別番号】 100062409

 【弁理士】

 【氏名又は名称】 安村 高明

【選任した代理人】

 【識別番号】 100107489

 【弁理士】

 【氏名又は名称】 大塩 竹志

【手数料の表示】

 【予納台帳番号】 001878

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206122

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路設計装置、半導体集積回路設計方法、半導体集積回路の製造方法および可読記録媒

【特許請求の範囲】

【請求項 1】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、

前記半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力手段と

、
前記入力された情報を用いて前記回路ブロックのノイズ解析を行うノイズ解析手段と、

前記ノイズ解析の結果に基づいて、ノイズ発生量が所定の範囲内の場合に処理を終了する処理終了手段と、

前記ノイズ発生量が所定の範囲を超える場合には、前記回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択手段と、

前記選択された論理ゲートに電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを追加するバイパスコンデンサ追加手段とを有する半導体集積回路設計装置。

【請求項 2】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、

前記半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力手段と

、
前記入力された情報を用いて前記回路ブロックに発生するノイズ発生量を見積もるノイズ見積手段と、

前記ノイズ発生量を所定の範囲内に抑えるために、その見積結果に基づいて、前記回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を指定する容量制約指定手段と、

前記回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量

と前記容量制約とを比較する比較手段と、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了手段と

前記搭載容量が前記容量制約以下の場合に前記回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択手段と、

前記選択された論理ゲートにバイパスコンデンサを追加するバイパスコンデンサ追加手段とを有する半導体集積回路設計装置。

【請求項 3】 前記論理ゲート選択手段は、前記ノイズ解析の結果に基づいて、前記回路ブロックにおいて最大ノイズ発生量を生じている論理ゲートを選択する請求項 1 記載の半導体集積回路設計装置。

【請求項 4】 前記論理ゲート選択手段は、前記入力された情報に前記半導体集積回路のフロアプランの情報を加えた情報を用いて、前記回路ブロック中の各論理ゲートのノイズ影響度を計算し、ノイズ影響度が最大の論理ゲートを選択する請求項 1 または 2 記載の半導体集積回路設計装置。

【請求項 5】 前記ノイズ解析手段は、前記回路ブロック中の論理ゲートに対して、前記論理ゲートの入力パターンおよび前記論理ゲート中に搭載されているバイパスコンデンサの容量を変化させたときの、前記論理ゲートにおける電源電流と基板電流のうち少なくとも一方の電流波形を記録したデータテーブルを作成し、前記作成されたデータテーブルを用いてノイズ解析を行う請求項 1 記載の半導体集積回路設計装置。

【請求項 6】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、

前記半導体集積回路を構成する論理回路ブロックの機能仕様情報、スタンダードセルライブラリ情報および、ノイズ発生量を所定の範囲内に抑えるために、前記回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を入力処理する入力手段と、

前記論理回路を機能レベルに基づいてゲートレベルに変換するゲートレベル変換手段と、

前記ゲートレベル論理回路中の全論理ゲートに対してそれぞれ前記スタンダー

ドセルライブラリ情報中のセルを割り当てるマッピング処理を行うマッピング処理手段と、

前記論理回路に搭載されているバイパスコンデンサの容量である搭載容量と前記容量制約を比較する比較手段と、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了手段と、

前記搭載容量が前記容量制約以下の場合に所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択手段と、

前記選択された論理ゲートに対して、前記マッピング処理において割り当てたマッピングセルに基づいて、前記マッピングセルと論理は等価で内部に搭載されているバイパスコンデンサの容量が異なる別のセルへと割り当てを変更するかまたは、前記マッピングセルにバイパスコンデンサのみからなるバイパスコンデンサセルを追加で割り当てるマッピング変更処理手段とを有する半導体集積回路設計装置。

【請求項 7】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、

前記半導体集積回路を構成する回路ブロックのネットリスト情報、電源ノイズおよび基板ノイズ低減用の少なくとも一つのバイパスコンデンサのみからなるバイパスコンデンサセルを含むセルライブラリ情報および、ノイズ発生量を低減するために、前記回路ブロックに搭載することが必要なバイパスコンデンサの容量である容量制約を入力処理する入力手段と、

前記ネットリスト情報に従って、セルを互いに並行な複数のセル行に配置するセル配置手段と、

前記回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と前記容量制約を比較する比較手段と、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了手段と、

前記搭載容量が前記総容量制約以下の場合に前記セル行にバイパスコンデンサセルを挿入するバイパスコンデンサセル追加手段とを有する半導体集積回路設計

装置。

【請求項 8】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、

前記半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力ステップと、

前記入力された情報を用いて前記回路ブロックのノイズ解析を行うノイズ解析ステップと、

前記ノイズ解析の結果に基づいて、ノイズ発生量が所定の範囲内の場合には処理を終了する処理終了ステップと、

前記ノイズ発生量が所定の範囲を超える場合には、前記回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、

前記選択された論理ゲートに電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを追加するバイパスコンデンサ追加ステップとを含む半導体集積回路設計方法。

【請求項 9】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、

前記半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力ステップと、

前記入力された情報を用いて前記半導体集積回路に発生するノイズ発生量を見積もるノイズ見積ステップと、

前記ノイズ発生量を所定の範囲内に抑えるために、その見積結果に基づいて、前記回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を指定する容量制約指定ステップと、

前記回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と前記容量制約とを比較する比較ステップと、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了ステップと、

前記搭載容量が前記容量制約以下の場合に前記回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、

前記選択された論理ゲートにバイパスコンデンサを追加するバイパスコンデンサ追加ステップとを含む半導体集積回路設計方法。

【請求項 1 0】 前記論理ゲート選択ステップは、前記ノイズ解析の結果に基づいて、前記回路ブロックにおいて最大ノイズを生じている論理ゲートを選択する請求項 8 記載の半導体集積回路設計方法。

【請求項 1 1】 前記論理ゲート選択ステップは、前記入力された情報に前記半導体集積回路のフロアプランの情報を加えた情報を用いて、前記回路ブロック中の各論理ゲートのノイズ影響度を計算し、ノイズ影響度が最大の論理ゲートを選択する請求項 8 または 9 記載の半導体集積回路設計方法。

【請求項 1 2】 前記ノイズ解析ステップは、前記回路ブロック中の論理ゲートに対して、前記論理ゲートの入力パターンおよび前記論理ゲート中に搭載されているバイパスコンデンサの容量を変化させたときの、前記論理ゲートにおける電源電流と基板電流のうち少なくとも一方の電流波形を記録したデータテーブルが作成されており、前記作成されたデータテーブルを用いてノイズ解析を行う請求項 8 記載の半導体集積回路設計方法。

【請求項 1 3】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、

前記半導体集積回路を構成する論理回路ブロックの機能仕様情報、スタンダードセルライブラリ情報および、ノイズ発生量を所定の範囲内に抑えるために、前記回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を入力処理する入力ステップと、

前記論理回路を機能レベルに基づいてゲートレベルに変換するゲートレベル変換ステップと、

前記ゲートレベル論理回路中の全論理ゲートに対してそれぞれ前記スタンダードセルライブラリ情報中のセルを割り当てるマッピング処理を行うマッピング処理ステップと、

前記論理回路に搭載されているバイパスコンデンサの容量である搭載容量と前

記容量制約を比較する比較ステップと、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了ステップと、

前記搭載容量が前記容量制約以下の場合に所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、

前記選択された論理ゲートに対して、前記マッピング処理において割り当てたマッピングセルに基づいて、前記マッピングセルと論理は等価で内部に搭載されているバイパスコンデンサの容量が異なる別のセルへと割り当てを変更するかまたは、前記マッピングセルにバイパスコンデンサのみからなるバイパスコンデンサセルを追加で割り当てるマッピング変更処理ステップとを含む半導体集積回路設計方法。

【請求項 1 4】 前記スタンダードセルライブラリ情報は、前記半導体集積回路の設計に用いるセルライブラリ情報であって、回路の論理が等価で内部に搭載するバイパスコンデンサの容量が異なる少なくとも 1 組のバイパスコンデンサ付きセル情報を含む請求項 1 4 記載の半導体集積回路設計方法。

【請求項 1 5】 コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、

前記半導体集積回路を構成する回路ブロックのネットリスト情報、電源ノイズおよび基板ノイズ低減用の少なくとも一つのバイパスコンデンサのみからなるバイパスコンデンサセルを含むセルライブラリ情報および、ノイズ発生量を低減するために、前記回路ブロックに搭載することが必要なバイパスコンデンサの容量である容量制約を入力処理する入力ステップと、

前記ネットリスト情報に従って、セルを互いに並行な複数のセル行に配置するセル配置ステップと、

前記回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と前記容量制約を比較する比較ステップと、

前記搭載容量が前記容量制約より大きい場合に処理を終了する処理終了ステップと、

前記搭載容量が前記総容量制約以下の場合に前記セル行にバイパスコンデンサ

セルを挿入するバイパスコンデンサセル追加ステップとを含む半導体集積回路設計方法。

【請求項 1 6】 請求項 8 ～ 1 5 の何れかに記載の半導体集積回路設計方法を回路設計に用いた半導体集積回路の製造方法。

【請求項 1 7】 請求項 8 ～ 1 5 の何れかに記載の半導体集積回路設計方法の各手順が記録されたコンピュータ読み出し可能な可読記録媒体。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを備えた L S I などの半導体集積回路のパターンを生成する半導体集積回路設計装置、それを用いた半導体集積回路設計方法、この方法手順を回路設計に用いた半導体集積回路の製造方法、この方法手順が記録されたコンピュータ読み出し可能な可読記録媒体に関する。

【 0 0 0 2 】

【従来の技術】

従来、CMOS論理回路がスイッチングする時に流れる電源電流が、パッケージのボンディングワイヤのインダクタを通過するときに電源ノイズが発生する。この電源ノイズは、デジタル回路において多く発生し、電磁不要輻射(EMI)によって、他の機器に対して悪影響を及ぼす。さらに、アナログ／デジタル(A/D)混在 L S I においては、デジタル回路で発生したノイズは基板を通してアナログ回路へ伝わり、アナログ回路の性能に悪影響を及ぼすという問題がある。これを基板ノイズという。

【 0 0 0 3 】

このような電源ノイズの発生機構について図 1 6 を用いて説明する。

【 0 0 0 4 】

図 1 6 において、L S I チップ 1 2 0 側の電源端子 1 2 1 およびグランド端子 1 2 2 は、インダクタンス成分を持つボンディングワイヤ（インダクタ 1 4 0 A , 1 4 0 B）を介して、パッケージ 1 3 0 側の外部電源 1 5 0 と接続されている

。また、LSIチップ120内には、CMOS構造のインバータ回路131、内部負荷90（90cp, 90cn）およびバイパスコンデンサ111が並列に設けられている。

【0005】

LSIチップ120の内部回路への入力電圧が「L」レベルから「H」レベルに変化するとき、放電電流が流れる。このときの電流パスは図16の矢印に示すようにインバータ回路131の出力端のノード132を通して形成されている。

【0006】

この場合、電源端子121につながるインダクタ140Aと、グランド端子122につながるインダクタ140Bとを通過する電流の向きが、入力電圧の変化により、LSIチップ120内部から見て互いに逆方向に働くので、電源端子121とグランド端子122には、それぞれ互いに逆位相のノイズが発生する。電源電圧をVdd、グランド電圧をVss、ノイズによる最大電圧変動幅をVnとすると、電源端子121には $V_{dd}-V_n$ 、グランド端子122には $V_{ss}+V_n$ の初期電圧変動が生じ、続いてLCR回路によるリング動作が現れ、電源端子121とグランド端子122では位相が逆の対称性のあるノイズが現れる。

【0007】

ところで、このような電源ノイズを低減するための代表的な方法は、電源端子121とグランド端子122間にバイパスコンデンサ111を設けることである。図16にはLSIチップ120内部にバイパスコンデンサ111が示されている。このバイパスコンデンサ111に蓄えられた電荷を用いて内部負荷90を駆動するので、インダクタ140A, 140Bを通して外部電源150から供給される電流量の変動を抑えることができ、ノイズを低減できる。

【0008】

また、バイパスコンデンサ111はノイズ源（例えばボンディングワイヤ）の近くに配置するほどノイズ低減効果があり、理想的には、動作している回路と同じ場所に配置すると、最もノイズ発生量を低減することができる。

【0009】

このようなバイパスコンデンサ111をLSIチップ120に設ける従来方法

として、特開2000-208634（以下、従来例1という）では、レイアウト設計後の空き領域にバイパスコンデンサを作成する方法を開示している。

【0010】

しかしながら、レイアウト設計後の空き領域だけでは、必要容量のバイパスコンデンサを確保できない場合が生じるのが問題である。

【0011】

これに対して、必要容量のバイパスコンデンサ111を搭載する方法として、1997年DesignAutomation Conference において Haward H. Chan等は” Power Supply Noise Analysis Methodology forDeep-Submicron VLSI Chip Design”（以下、従来例2という）において、回路シミュレーションとフロアプランを繰り返しながらバイパスコンデンサの容量の最適化を行う方法が開示されている。

【0012】

即ち、まず、フロアプランナに、機能ブロックの初期配置を入力する。次に、回路シミュレーションにより、ノイズが多く発生している領域nを特定し、特定された領域nにおいて、ノイズレベルを指定値以下にするために必要なバイパスコンデンサの容量Cnの大きさを計算する。

【0013】

次に、追加するバイパスコンデンサの合計が容量Cn以上になる一つ以上の仮想ブロックbkとしてモデル化し、配置済み機能ブロックの間に仮想ブロックbkを挿入する方法である。

【0014】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、レイアウト設計後の空き領域に必要容量のバイパスコンデンサを配置したとしても、バイパスコンデンサを配置する場所は、回路ブロックと回路ブロックとの間であり、バイパスコンデンサが回路ブロック内のノイズ源から遠いのでノイズ低減効果が低いという問題があった。

【0015】

本発明は、上記従来の問題を解決するもので、必要容量のバイパスコンデンサを、より効果的な回路ブロック内部のノイズ源近くに追加することにより、ノイ

ズレベルを所定の範囲内に確実に抑えることができる半導体集積回路設計装置、それを用いた半導体集積回路設計方法、この方法手順を回路設計に用いた半導体集積回路の製造方法、この方法手順が記録されたコンピュータ読み出し可能な可読記録媒体を提供することを目的とする。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の半導体集積回路設計装置は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力手段と、入力された情報を用いて回路ブロックのノイズ解析を行うノイズ解析手段と、ノイズ解析の結果に基づいて、ノイズ発生量が所定の範囲内の場合に処理を終了する処理終了手段と、ノイズ発生量が所定の範囲を超える場合には、回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択手段と、選択された論理ゲートに電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを追加するバイパスコンデンサ追加手段とを有するものであり、そのことにより上記目的が達成される。

【 0 0 1 7 】

また、本発明の半導体集積回路設計装置は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力手段と、入力された情報を用いて回路ブロックに発生するノイズ発生量を見積もるノイズ見積手段と、ノイズ発生量を所定の範囲内に抑えるために、その見積結果に基づいて、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を指定する容量制約指定手段と、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と容量制約とを比較する比較手段と、搭載容量が容量制約より大きい場合に処理を終了する処理終了手段と、搭載容量が容量制約以下の場合に回路ブロック中の所定ノイズ発生量

以上の論理ゲートを選択する論理ゲート選択手段と、選択された論理ゲートにバイパスコンデンサを追加するバイパスコンデンサ追加手段とを有するものであり、そのことにより上記目的が達成される。

【 0 0 1 8 】

さらに、好ましくは、本発明の半導体集積回路設計装置における論理ゲート選択手段は、ノイズ解析の結果に基づいて、回路ブロックにおいて最大ノイズ発生量を生じている論理ゲートを選択する。

【 0 0 1 9 】

さらに、好ましくは、本発明の半導体集積回路設計装置における論理ゲート選択手段は、入力された情報に半導体集積回路のフロアプランの情報を加えた情報を用いて、回路ブロック中の各論理ゲートのノイズ影響度を計算し、ノイズ影響度が最大の論理ゲートを選択する。

【 0 0 2 0 】

さらに、好ましくは、本発明の半導体集積回路設計装置におけるノイズ解析手段は、回路ブロック中の論理ゲートに対して、論理ゲートの入力パターンおよび論理ゲート中に搭載されているバイパスコンデンサの容量を変化させたときの、論理ゲートにおける電源電流と基板電流のうち少なくとも一方の電流波形を記録したデータテーブルを作成し、作成されたデータテーブルを用いてノイズ解析を行う。

【 0 0 2 1 】

さらに、本発明の半導体集積回路設計装置は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、半導体集積回路を構成する論理回路ブロックの機能仕様情報、スタンダードセルライブラリ情報および、ノイズ発生量を所定の範囲内に抑えるために、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を入力処理する入力手段と、論理回路を機能レベルに基づいてゲートレベルに変換するゲートレベル変換手段と、ゲートレベル論理回路中の全論理ゲートに対してそれぞれスタンダードセルライブラリ情報中のセルを割り当てるマッピング処理を行うマッピング処理手段と、論理回路に搭載され

ているバイパスコンデンサの容量である搭載容量と容量制約を比較する比較手段と、搭載容量が容量制約より大きい場合に処理を終了する処理終了手段と、搭載容量が容量制約以下の場合に所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択手段と、選択された論理ゲートに対して、マッピング処理において割り当てたマッピングセルに基づいて、マッピングセルと論理は等価で内部に搭載されているバイパスコンデンサの容量が異なる別のセルへと割り当てを変更するかまたは、マッピングセルにバイパスコンデンサのみからなるバイパスコンデンサセルを追加で割り当てるマッピング変更処理手段とを有するものであり、そのことにより上記目的が達成される。

【 0 0 2 2 】

さらに、本発明の半導体集積回路設計装置は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計装置において、半導体集積回路を構成する回路ブロックのネットリスト情報、電源ノイズおよび基板ノイズ低減用の少なくとも一つのバイパスコンデンサのみからなるバイパスコンデンサセルを含むセルライブラリ情報および、ノイズ発生量を低減するために、回路ブロックに搭載することが必要なバイパスコンデンサの容量である容量制約を入力処理する入力手段と、ネットリスト情報に従って、セルを互いに並行な複数のセル行に配置するセル配置手段と、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と容量制約を比較する比較手段と、搭載容量が容量制約より大きい場合に処理を終了する処理終了手段と、搭載容量が総容量制約以下の場合にセル行にバイパスコンデンサセルを挿入するバイパスコンデンサセル追加手段とを有するものであり、そのことにより上記目的が達成される。

【 0 0 2 3 】

次に、本発明の半導体集積回路設計方法は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力ステップと、入力された情報を用いて回路ブロックのノイズ解析を行うノイズ解析ステップと、ノイズ解析の結果に基づいて、ノイズ発生量が所定の範囲内の場合には処理を終了

する処理終了ステップと、ノイズ発生量が所定の範囲を超える場合には、回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、選択された論理ゲートに電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを追加するバイパスコンデンサ追加ステップとを含むものであり、そのことにより上記目的が達成される。

【0024】

また、本発明の半導体集積回路設計方法は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、半導体集積回路を構成する回路ブロックのゲートレベル論理回路情報、スタンダードセルライブラリ情報およびパッケージ情報を入力処理する入力ステップと、入力された情報を用いて半導体集積回路に発生するノイズ発生量を見積もるノイズ見積ステップと、ノイズ発生量を所定の範囲内に抑えるために、その見積結果に基づいて、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を指定する容量制約指定ステップと、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と容量制約とを比較する比較ステップと、搭載容量が容量制約より大きい場合に処理を終了する処理終了ステップと、搭載容量が容量制約以下の場合に回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、選択された論理ゲートにバイパスコンデンサを追加するバイパスコンデンサ追加ステップとを含むものであり、そのことにより上記目的が達成される。

【0025】

さらに、好ましくは、本発明の半導体集積回路設計方法における論理ゲート選択ステップは、ノイズ解析の結果に基づいて、回路ブロックにおいて最大ノイズを生じている論理ゲートを選択する。

【0026】

さらに、好ましくは、本発明の半導体集積回路設計方法における論理ゲート選択ステップは、入力された情報に半導体集積回路のフロアプランの情報を加えた情報を用いて、回路ブロック中の各論理ゲートのノイズ影響度を計算し、ノイズ影響度が最大の論理ゲートを選択する。

【 0 0 2 7 】

さらに、好ましくは、本発明の半導体集積回路設計方法におけるノイズ解析ステップは、回路ブロック中の論理ゲートに対して、論理ゲートの入力パターンおよび論理ゲート中に搭載されているバイパスコンデンサの容量を変化させたときの、論理ゲートにおける電源電流と基板電流のうち少なくとも一方の電流波形を記録したデータテーブルが作成されており、作成されたデータテーブルを用いてノイズ解析を行う。

【 0 0 2 8 】

さらに、本発明の半導体集積回路設計方法は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、半導体集積回路を構成する論理回路ブロックの機能仕様情報、スタンダードセルライブラリ情報および、ノイズ発生量を所定の範囲内に抑えるために、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサの容量である容量制約を入力処理する入力ステップと、論理回路を機能レベルに基づいてゲートレベルに変換するゲートレベル変換ステップと、ゲートレベル論理回路中の全論理ゲートに対してそれぞれスタンダードセルライブラリ情報中のセルを割り当てるマッピング処理を行うマッピング処理ステップと、論理回路に搭載されているバイパスコンデンサの容量である搭載容量と容量制約を比較する比較ステップと、搭載容量が容量制約より大きい場合に処理を終了する処理終了ステップと、搭載容量が容量制約以下の場合に所定ノイズ発生量以上の論理ゲートを選択する論理ゲート選択ステップと、選択された論理ゲートに対して、マッピング処理において割り当てたマッピングセルに基づいて、マッピングセルと論理は等価で内部に搭載されているバイパスコンデンサの容量が異なる別のセルへと割り当てを変更するかまたは、マッピングセルにバイパスコンデンサのみからなるバイパスコンデンサセルを追加で割り当てるマッピング変更処理ステップとを含むものであり、そのことにより上記目的が達成される。

【 0 0 2 9 】

また、好ましくは、本発明の半導体集積回路設計方法におけるスタンダードセルライブラリ情報は、半導体集積回路の設計に用いるセルライブラリ情報であっ

て、回路の論理が等価で内部に搭載するバイパスコンデンサの容量が異なる少なくとも1組のバイパスコンデンサ付きセル情報を含む。

【 0 0 3 0 】

さらに、本発明の半導体集積回路設計方法は、コンピュータにより制御されて半導体集積回路のパターンを自動生成する半導体集積回路設計方法において、半導体集積回路を構成する回路ブロックのネットリスト情報、電源ノイズおよび基板ノイズ低減用の少なくとも一つのバイパスコンデンサのみからなるバイパスコンデンサセルを含むセルライブラリ情報および、ノイズ発生量を低減するために、回路ブロックに搭載することが必要なバイパスコンデンサの容量である容量制約を入力処理する入力ステップと、ネットリスト情報に従って、セルを互いに並行な複数のセル行に配置するセル配置ステップと、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と容量制約を比較する比較ステップと、搭載容量が容量制約より大きい場合に処理を終了する処理終了ステップと、搭載容量が総容量制約以下の場合にセル行にバイパスコンデンサセルを挿入するバイパスコンデンサセル追加ステップとを含むものであり、そのことにより上記目的が達成される。

【 0 0 3 1 】

次に、本発明の半導体集積回路の製造方法は、請求項8～15の何れかに記載の半導体集積回路設計方法を回路設計に用いたものであり、そのことにより上記目的が達成される。

【 0 0 3 2 】

また、本発明の可読記録媒体は、請求項8～15の何れかに記載の半導体集積回路設計方法の各手順が記録されたコンピュータ読み出し可能な可読記録媒体であり、そのことにより上記目的が達成される。

【 0 0 3 3 】

上記構成により、本発明の作用を説明する。

【 0 0 3 4 】

本発明においては、必要容量のバイパスコンデンサを、より効果的な回路ブロック内部のノイズ源近くに追加することができるので、ノイズを所定の範囲内に

確実に抑えることができる。また、ノイズ解析結果に基づいてバイパスコンデンサの追加を行うので精度が高く、効果的な場所に必要な容量のバイパスコンデンサを搭載することができ、不要に容量が多いバイパスコンデンサによるLSIなどの半導体集積回路のチップ面積の増加を無くすることができる。

【 0 0 3 5 】

また、予めノイズ見積もりにより容量制約を与えるので、処理を繰り返してノイズ解析処理を行う必要がなく、この場合に比べて短い時間で処理を行うことができる。

【 0 0 3 6 】

さらに、大きなノイズを生じているノイズ源近くにバイパスコンデンサを追加することができるので、より効果的にノイズを低減することができる。

【 0 0 3 7 】

さらに、スタンダードセルライブラリ内に所望のバイパスコンデンサ容量を持つセルがなく、新たに所望のバイパスコンデンサ容量を持つセルを追加する場合であっても、バイパスコンデンサの容量を数種変化させたときの電流波形データテーブルを用いて、追加セルの電流波形を計算で求めることができるので、セルの追加が容易となる。

【 0 0 3 8 】

さらに、回路ブロック全体としてバイパスコンデンサ容量制約を満足しながら、さらにノイズ発生量の大きな論理ゲートにバイパスコンデンサ付きセルを割り当てることができるので、必要量のバイパスコンデンサを、より効果的な回路ブロック内のノイズ源近くに追加することができて、ノイズを指定の範囲内に確実に抑えることができる論理合成手法が得られる。

【 0 0 3 9 】

また、このセルライブラリを用いれば、回路ブロックを構成するセル内にバイパスコンデンサを搭載することができるので、ノイズ源近くにバイパスコンデンサを配置することができて、ノイズを効果的に低減することができる。また、論理が等価でバイパスコンデンサの容量が異なるセルが含まれているので、ノイズ発生量に応じてバイパスコンデンサの容量を使い別けることにより、不要に多い

バイパスコンデンサの追加による L S I チップなどの半導体集積回路のチップ面積の増加を無くすることができる。

【 0 0 4 0 】

さらに、回路ブロック中の配置されているセル行にバイパスコンデンサセルを挿入することができるので、ノイズ源の近くにバイパスコンデンサを配置する場所を確保することができ、ノイズを所定の範囲以下に確実に抑えることができる。

【 0 0 4 1 】

【発明の実施の形態】

以下、本発明の半導体集積回路設計装置の実施形態 1 ～ 4 を低ノイズ L S I 設計装置に適用した場合について図面を参照しながら順次説明する。

（実施形態 1）

図 1 は、本発明の実施形態 1 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【 0 0 4 2 】

図 1 において、低ノイズ L S I 設計装置 1 0 は、回路設計用の制御プログラムおよびデータが記憶された第 1 記憶部（可読記録媒体）としての ROM 1 1 と、ワークメモリとして機能する第 2 記憶部としての RAM 1 2 と、回路設計用の各種データが記録されたデータベース 1 3 と、ユーザが各種操作指令（回路設計の起動または終了指令を含む）を入力可能とする操作入力部 1 4 と、回路設計の初期画面など各種画面情報を表示可能とする表示部 1 5 と、制御プログラムおよびデータに基づいて各部を制御する制御部 1 6 とを有し、半導体集積回路の回路設計を支援する。

【 0 0 4 3 】

制御部 1 6 は CPU（中央演算処理装置）で構成されており、入力手段 1 6 1 と、ノイズ解析手段 1 6 2 と、処理終了手段 1 6 3 と、論理ゲート選択手段 1 6 4 と、バイパスコンデンサ追加手段 1 6 5 とを有し、全体の処理が終了するまで、ノイズ解析処理以後バイパスコンデンサ追加処理までの一連の処理を繰り返すことによりバイパスコンデンサ 9 4 を追加した処理回路パターンを自動生成する。

【 0 0 4 4 】

入力手段 1 6 1 は、半導体集積回路（LSI）を構成する回路ブロックの図 2 に示すゲートレベル論理回路情報 6 0、スタンダードセルライブラリ情報 7 0 およびパッケージ情報 8 0 などの各種回路設計情報をノイズ解析情報としてデータベース 1 3 から入力処理する。

【 0 0 4 5 】

ノイズ解析手段 1 6 2 は、入力された各種回路設計情報を用いて半導体集積回路（LSI）を構成する各回路ブロックのノイズ解析処理を行う。また、ノイズ解析手段 1 6 2 は、回路ブロック中の論理ゲートに対して、論理ゲートの入力パターンおよび論理ゲート中に搭載されているバイパスコンデンサの容量を変化させたときの、論理ゲートにおける電源電流と基板電流のうち少なくとも一方の電流波形を記録したデータテーブルを作成し、作成されたデータテーブルを用いてノイズ解析を行ってもよい。

【 0 0 4 6 】

処理終了手段 1 6 3 は、ノイズ解析処理の結果に基づいて、ノイズ発生量（ノイズレベルおよびノイズ発生数など）が所定の範囲内の場合に終了処理する。

【 0 0 4 7 】

論理ゲート選択手段 1 6 4 は、ノイズ発生量が所定の範囲を超える場合には、回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択処理する。例えば、論理ゲート選択手段 1 6 4 は、ノイズ解析処理結果に基づいて、回路ブロックにおいて最大ノイズ発生量（最大ノイズレベルおよび最大ノイズ発生数など）を生じている論理ゲートを選択する。

【 0 0 4 8 】

バイパスコンデンサ追加手段 1 6 5 は、選択された論理ゲートに対して電源ノイズおよび基板ノイズ低減用のバイパスコンデンサを追加処理する。

【 0 0 4 9 】

上記構成により、以下その動作を説明する。

【 0 0 5 0 】

図 2 は、本発明の実施形態 1 に係る低ノイズ L S I 設計装置 1 0 の動作を示す

フローチャートである。本実施形態1では基板ノイズの解析を例に説明する。なお、本実施形態1では基板ノイズの解析を例に説明する。

【0051】

図2に示すように、まず、制御部16は、制御プログラムに基づいて、ステップS1のノイズ解析情報入力処理として、LSI装置を構成する回路ブロックの論理回路情報60、使用するスタンダードセルライブラリ情報70およびLSI装置のパッケージ情報80をデータベース13から入力処理する。

【0052】

次に、制御部16は、制御プログラムに基づいて、ステップS2のノイズ解析処理を行う。このノイズ解析処理は、回路シミュレータによるノイズ解析が処理時間および必要メモリ容量の点から実現が困難であるので、回路シミュレーション以外の手法が提案されている。

【0053】

このステップS2のノイズ解析処理（基板ノイズ解析処理）として、例えば2000年DesignAutomation Conferenceにおいて、M. V. Heijningenらが” High-Level Simulation of Substrate Noise Generation Including Power Supply Noise Coupling ”に開示の方法（従来例3）を用いることができる。これを図3を用いて説明する。

【0054】

図3に示すように、まず、ステップS21のキャラクタライズ処理では、入力されたスタンダードセルライブラリ70の各セルに対して、図4に示すようなマクロモデルを生成する。

【0055】

ここで、図4のマクロモデルについて説明する。図4において、抵抗91はグラウンド(Vss)端子122とP型基板120A間の抵抗であり、容量92はN-well（Nウェル）とP型基板120間の逆バイアスPN接合容量であり、容量93は電源(Vdd)端子121とグラウンド(Vss)端子122間に寄生的に形成された容量である。電流源101は電源から供給される電流をモデル化したもので、電流源102はスイッチングノードから基板に流れる電流をモデル化したものである。

【 0 0 5 6 】

本実施形態 1 では、セル内部に意図的にバイパスコンデンサ 9 4 を搭載することが特徴であり、これを明示するために図 4 のマクロモデルとして、従来例 3 のマクロモデルにバイパスコンデンサ 9 4 を追加したものをを用いる。

【 0 0 5 7 】

これらの抵抗 9 1 および容量 9 2 ～ 9 4 の値は、各セルのレイアウトから寄生容量抽出ツールを用いて求めることができる。

【 0 0 5 8 】

また、電流源 1 0 1 および電流源 1 0 2 は、各セルに対して、回路シミュレーションを実行し、全入力パターンにおける電源電流波形および基板電流波形をそれぞれ記録することで得られる。

【 0 0 5 9 】

さらに、セル内部に搭載するバイパスコンデンサ 9 4 の容量値を数種類で変化させたときの基板電流波形および電源電流波形も回路シミュレーションを実行して、データテーブルとして記録しておく。それ以外のバイパスコンデンサ 9 4 の容量値のときの基板電流波形および電源電流波形は、そのデータテーブルを元に補間することにより計算することができる。

【 0 0 6 0 】

スタンダードセルライブラリ 7 0 には、図 5 に示すように、論理が等価でバイパスコンデンサ 9 4 （例えば 9 4 A, 9 4 B）の大きさが異なるバイパスコンデンサ付きセル 7 8 を予め何種類（例えば 7 8 A, 7 8 B）か用意しておき、それ以外の大きさのバイパスコンデンサ 9 4 が必要になった時であっても、上記のように補間による計算で簡単に電流波形を求めることができるので、必要になった時点でバイパスコンデンサ付きセル 7 8 を容易に追加できる。

【 0 0 6 1 】

このようにして作成した全セルのマクロモデルをまとめたものを、基板ノイズマクロモデルライブラリ 7 1 と呼ぶ。これをデータベース 1 3 に記録する。

【 0 0 6 2 】

次に、図 2 のステップ S 2 2 の論理シミュレーション処理では、入力された論

理回路情報 6 0 と入力パターンを用いて論理シミュレーションを行い、全セルのスイッチングイベントをデータベース 1 3 に記録し、スイッチングイベントデータベース 6 2 を作成する。

【 0 0 6 3 】

さらに、ステップ S 2 3 の等価回路作成処理において、前記した基板ノイズマクロモデルライブラリ 7 1 およびパッケージ情報 8 0 を用いて L S I 装置を構成する回路ブロックの等価回路を作成する。例えば、L S I 装置の P 型基板 1 2 0 A が低抵抗 ($\rho \cong 1 \text{ m}\Omega \text{ cm}$) の場合は、P 型基板 1 2 0 A を一つの電極と近似できるので、P 型基板 1 2 0 A である基板電極に対して、全マクロモデルを並列に接続する。さらに、前記作成された回路にパッケージ情報 8 0 から作成できるパッケージの等価回路を接続して、L S I 装置とパッケージ全体の等価回路を作成する。このように作成して得られる等価回路を図 6 に示している。

【 0 0 6 4 】

図 6 において、抵抗 1 2 3 は L S I チップ 1 2 0 内のグランド配線抵抗であり、抵抗 1 2 4 は L S I チップ 1 2 0 内の電源配線抵抗である。また、L S I チップ 1 2 0 内の容量 2 9 2 は各スタンダードセルの N-well (N ウェル) と P 型基板 1 2 0 A 間の逆バイアス PN 接合容量 9 2 をまとめたもの、容量 2 9 3 は各スタンダードセルの Vdd と Vss 間の寄生容量 9 3 をまとめたもの、容量 2 9 4 は各スタンダードセルのバイパスコンデンサ 9 4 をまとめたもの、電源電流 2 0 1 は各スタンダードセルの電源電流 1 0 1 をまとめたもの、電源電流 2 0 2 は各スタンダードセルの基板電流 1 0 2 をまとめたものである。

【 0 0 6 5 】

一方、L S I チップ 1 2 0 側の抵抗 1 2 3, 1 2 4 間には、パッケージ 1 3 0 側の一方のボンディングワイヤのインダクタンス 1 4 0 と、グランド配線抵抗 9 5 と、外部電源 1 5 0 と、電源配線抵抗 9 6 と、他方のボンディングワイヤのインダクタンス 1 4 0 とが直列に接続されている。

【 0 0 6 6 】

次に、図 3 に戻って、ステップ S 2 4 のシミュレーション処理では、前記した等価回路作成処理 (ステップ S 2 3) で作成した等価回路に対して、回路シミュ

レータを用いて解析することにより、基板ノイズ解析を行うことができる。

【 0 0 6 7 】

次に、図 2 に戻って、ステップ S 3 では、制御部 1 6 が制御プログラムに基づいて、ノイズレベルが所定の範囲内かどうかを判定するノイズ判定処理を行う。ここでは、ステップ S 2 のノイズ解析処理のノイズ解析結果から、ノイズ（ノイズレベルおよびノイズ発生数など）が所定の範囲内ならばノイズ判定処理を終了し（処理終了ステップ）、ノイズ（ノイズレベルおよびノイズ発生数など）が所定の範囲を超える場合には、次に続くステップ S 4 の論理ゲート選択処理に移行する。

【 0 0 6 8 】

ステップ S 4 の論理ゲート選択処理では、前記回路ブロック中の論理ゲート（以下でインスタンス・セルと呼ぶ）においてノイズを所定値より多く発生している（または所定値よりノイズレベルが高い）インスタンス・セル 7 6（後述する図 1 4 および図 1 5 参照）で、バイパスコンデンサ 9 4 を追加すると高いノイズ低減効果が期待できるインスタンス・セル 7 6 を選択する。

【 0 0 6 9 】

この後述するインスタンス・セル 7 6 の選択には複数の方法が考えられるので、以下にいくつかの例を示す。

【 0 0 7 0 】

そのうちの一つ目の方法では、ノイズ解析処理（ステップ S 2）の処理結果から、最大のノイズ（ノイズレベルおよびノイズ発生数など）を発生しているインスタンス・セル 7 6 を選択する方法である。基板ノイズの場合、ノイズ受信回路はアナログ回路であるので、個々のインスタンス・セル 7 6 が前記アナログ回路に及ぼす影響をノイズ解析処理（ステップ S 2）で解析し、ノイズ影響度が最大のインスタンス・セル 7 6 を選択する。

【 0 0 7 1 】

また、2 つ目の方法では、実際のノイズ解析の結果からではなく、基板ノイズマクロモデルライブラリ 7 1 中の、各セルの電源電流波形および基板電流波形やスイッチングイベントデータベース 6 2、また L S I チップ 1 2 0 のフロアプラ

ンから各インスタンス・セル 7 6 のノイズ発生に関する影響の度合いで定義するノイズ影響度を計算し、最大のノイズ影響度のインスタンス・セル 7 6 を選択する方法である。

【 0 0 7 2 】

基板ノイズを対象とすると、各インスタンス・セル 7 6 のノイズ影響度として以下の項目を考慮する。

(1) 電源電流波形の $\Delta I / \Delta t$

これは回路シミュレーション結果をそのまま用いて求めてもよい。

【 0 0 7 3 】

または、従来よりこの波形を三角形で近似する手法が多く提案されており、例えば” di/dt Noise in CMOS Integrated Circuits” KluwerAcademic Publishers(従来例 4)に開示されている。

【 0 0 7 4 】

図 7 A および図 7 B はそれぞれ図 5 のインバータ回路の出力ノード (図 1 6 の出力ノード 1 3 2 を参照) の電圧波形 V_{out} および電源端子 1 2 1 (または 1 2 2) における電源電流波形 I_{out} の三角形近似線を表す。

【 0 0 7 5 】

図 7 A および図 7 B において、出力ノード 1 3 2 の立下り時間 (t_f)、電源端子 1 2 1 (または 1 2 2) における電流がピークになるまでの時間 (T)、電源端子 1 2 1 (または 1 2 2) におけるピーク電流 (I_p) である。

【 0 0 7 6 】

このように、電源電流を三角形近似すれば、 $\Delta I / \Delta t$ は (式 1) に近似できる。

$$\Delta I / \Delta t \doteq I_p / T \quad (\text{式 1})$$

本実施形態 1 では、図 4 に示すマクロモデルにおける電流源 1 0 1 を三角形近似で作成しておけば (式 1) を用いて $\Delta I / \Delta t$ を計算することができる。

(2) 平均基板電流

これはマクロモデルより求める。

(3) 平均消費電力

$$P_{ave} = P_s * C_{load} * V_{dd} * f \quad (\text{式 2})$$

ここで、Cloadは論理ゲートの負荷容量、Vddは電源電圧、Psはスイッチング確率、fはクロック周波数である。

【 0 0 7 7 】

スイッチングイベントデータベースと論理回路情報から求める。

(4) 基板ノイズを受信するアナログ回路との距離

これはフロアプラン情報より求める。

【 0 0 7 8 】

ノイズ影響度Sは、たとえば上記(1)(2)(3)(4)と、パラメータa, b, c, dを用いて、

$$S = a * (1) + b * (2) + c * (3) + d * (4) \quad (\text{式 3})$$

で定義することができる。

【 0 0 7 9 】

各インスタンス・セル76のノイズ影響度(所定のノイズ発生量)を(式3)を用いて計算し、最大のノイズ影響度のインスタンス・セル76を選択する。

【 0 0 8 0 】

次に、図2に戻って、ステップS5のバイパスコンデンサ追加処理において、選択されたインスタンス・セル76にバイパスコンデンサ94を追加する。

【 0 0 8 1 】

これを図5を用いて説明する。スタンダードセルライブラリ70は、バイパスコンデンサ付きセル78Aおよび78Bを有するものとする、これら二つのセルの論理は等価であり、バイパスコンデンサ94Aおよび94Bの容量の大きさはそれぞれ異なる容量値であり、バイパスコンデンサ94Aの容量値はバイパスコンデンサ94Bの容量値よりも小さいものとする。

【 0 0 8 2 】

ここで、図2のステップS4の論理ゲート選択処理において、選択されたインスタンス・セル76には、スタンダードセルライブラリ70中のセル78Aが割り当てられているとする。そこで、ステップS5のバイパスコンデンサ追加処理では、論理が等価でバイパスコンデンサ94の容量が変更前のセル78Aの容量よりも大きなセル78Bの容量に変更する。

【 0 0 8 3 】

なお、スタンダードセルライブラリ 7 0 に所望のバイパスコンデンサ容量 9 4 を持つセル 7 8 が無い場合には、所望のバイパスコンデンサ容量 9 4 を持つセル 7 8 を新たに追加すればよい。

【 0 0 8 4 】

その後、図 2 において、ステップ S 5 のバイパスコンデンサ追加処理からステップ S 2 のノイズ解析処理に戻り、ステップ S 3 のノイズ判定処理において、ノイズ発生量が所定範囲内になるまでステップ S 2 ～ S 5 の各処理を繰り返し、ノイズ発生量が所定範囲内になれば処理を終了する。

【 0 0 8 5 】

以上により、本実施形態 1 によれば、必要容量のバイパスコンデンサ 9 4 を、より効果的な回路ブロック内部のノイズ源近くに追加することができるため、ノイズを所定の範囲内に確実に抑えることができる。また、ノイズ解析結果に基づいてバイパスコンデンサ 9 4 の追加を行うため、精度が高く、効果的な場所に必要な容量のバイパスコンデンサ 9 4 を搭載することができ、不要に容量が多いバイパスコンデンサ 9 4 による LSI のチップ面積の増加を無くすることができる。

(実施形態 2)

図 8 は、本発明の実施形態 2 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【 0 0 8 6 】

図 8 において、低ノイズ L S I 設計装置 2 0 は、回路設計用の制御プログラムおよびデータが記憶された第 3 記憶部（可読記録媒体）としての ROM 2 1 と、ワークメモリとして機能する第 4 記憶部としての RAM 2 2 と、回路設計用の各種データが記録されたデータベース 2 3 と、ユーザが操作指令（回路設計の起動指令および終了指令を含む）を入力可能とする操作入力部 2 4 と、回路設計の初期画面など各種画面情報を表示可能とする表示部 2 5 と、制御プログラムおよびデータに基づいて各部を制御する制御部 2 6 とを有し、半導体集積回路の回路設計を支援する。

【 0 0 8 7 】

制御部 2 6 は CPU (中央演算処理装置) で構成されており、入力手段 2 6 1 と、ノイズ見積手段 2 6 2 と、容量制約指定手段 2 6 3 と、比較手段 2 6 4 と、処理終了手段 2 6 5 と、論理ゲート選択手段 2 6 6 と、バイパスコンデンサ追加手段 2 6 7 とを有し、全体の処理が終了するまで、搭載容量と容量制約を比較する処理以後の一連の処理を繰り返すことによりバイパスコンデンサ 9 4 を追加した回路パターンを自動生成する。

【 0 0 8 8 】

入力手段 2 6 1 は、LSI 装置 (LSI チップ) を構成する回路ブロックの図 9 に示すゲートレベル論理回路情報 6 0、スタンダードセルライブラリ情報 7 0 およびパッケージ情報 8 0 などをデータベース 2 3 から入力処理する。

【 0 0 8 9 】

ノイズ見積手段 2 6 2 は、入力された情報を用いて LSI 装置 (LSI チップ) に発生するノイズ発生量 (ノイズ電圧レベルおよびノイズ発生数など) を見積処理する。

【 0 0 9 0 】

容量制約指定手段 2 6 3 は、このノイズ発生量を所定の範囲内に抑えるために、その見積結果に基づいて、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサ 9 4 の容量である容量制約を指定処理する。

【 0 0 9 1 】

比較手段 2 6 4 は、回路ブロックに搭載されているバイパスコンデンサ 9 4 の容量である搭載容量と容量制約とを比較処理する。

【 0 0 9 2 】

処理終了手段 2 6 5 は、搭載容量が容量制約より大きい場合に終了処理する。

【 0 0 9 3 】

論理ゲート選択手段 2 6 6 は、搭載容量が容量制約以下の場合に回路ブロック中の所定ノイズ発生量以上の論理ゲートを選択処理する。例えば、論理ゲート選択手段 2 6 6 は、入力された情報に LSI チップのフロアプラン情報を加えた情報を用いて、回路ブロック中の各論理ゲートのノイズ影響度を計算し、ノイズ影

響度が最大の論理ゲートを選択処理する。

【0094】

バイパスコンデンサ追加手段267は、選択された論理ゲートにバイパスコンデンサ94を追加処理する。

【0095】

上記構成により、以下、その動作を説明する。

【0096】

図9は、本発明の実施形態2に係る低ノイズLSI設計方法の処理手順を示すフローチャートである。なお、本実施形態2では、電源ノイズの解析を例に説明する。

【0097】

図9に示すように、まず、ステップS11のノイズ見積もり情報入力処理で、LSIチップ（半導体集積回路）を構成する回路ブロックのゲートレベルの論理回路情報60、使用するスタンダードセルライブラリ情報70およびLSIチップのパッケージ情報80を入力処理する。また、必要に応じてLSIチップのフロアプラン情報も入力処理する。

【0098】

次に、ステップS12のノイズ見積もり処理で、発生するノイズ発生量（ノイズ電圧レベル V_n およびノイズ発生数）を見積もる。この見積もる方法としては、上記従来例4に開示の方法を用いることができる。

【0099】

図6において、電源端子121およびグランド端子122に発生する例えばノイズレベル V_n の最大ノイズレベル V_{nmax} は、

$$V_{nmax} \leq (C_{load}) \times V_{dd} / 2(C_d + C_{load}) \quad (\text{式4})$$

と表される。

【0100】

ここで、 C_{load} は負荷容量90であり、出力が「L」→「H」に変化するときには $C_{load} = C_n$ 、また、出力が「H」→「L」に変化するときには、 $C_{load} = C_p$ である。

【0101】

次に、ステップ S 1 3 のバイパスコンデンサ容量制約指定処理において、発生ノイズ V_{nmax} を所定の範囲以下にするために必要な、バイパスコンデンサの容量制約を指定する。上記(式 4)を用いて、必要なバイパスコンデンサ容量 C_d を計算し指定する。

【 0 1 0 2 】

次に、ステップ S 1 4 の搭載容量判定処理において、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と、前記容量制約を比較し、搭載容量が容量制約より大きい場合 (N O) に処理を終了し、搭載容量が容量制約以下の場合 (Y E S) の場合に、次に続くステップ S 1 5 のセル選択処理に移行する。

【 0 1 0 3 】

ステップ S 1 5 のセル選択処理 (論理ゲート選択処理) において、回路ブロック中の論理ゲート (以下でインスタンス・セルと呼ぶ) においてノイズを多く発生 (ノイズ発生数が多い) しているインスタンス・セル 7 6 であり、バイパスコンデンサを追加するとノイズ低減効果が高いと思われるインスタンス・セル 7 6 を選択する。

【 0 1 0 4 】

これは、各インスタンス・セル 7 6 の電源ノイズ発生に関する影響の度合いで定義するノイズ影響度を計算し、最大のノイズ影響度のインスタンス・セル 7 6 を選択する方法である。

【 0 1 0 5 】

電源ノイズを対象とすると、各インスタンス・セル 7 6 のノイズ影響度を以下の項目を考慮して計算することができる。

電源電流波形の $\Delta I / \Delta t$

上記実施形態 1 の論理ゲート選択処理 (ステップ S 4) で説明した、電源電流の三角形近似を全セルに関して求めておけば、(式 1) を用いて $\Delta I / \Delta t$ を計算することができる。

$$\Delta I / \Delta t \cong I_p / T \quad (\text{式 1})$$

ここで、 T は電源端子 1 2 0 における電流がピークになるまでの時間、 I_p は電

源端子におけるピーク電流である。

【0106】

よって、ノイズ影響度 S は、

$$S = I_p / T \quad (\text{式 } 5)$$

で定義することができる。

【0107】

各インスタンス・セル 76 のノイズ影響度を (式 5) を用いて計算し、最大のノイズ影響度のインスタンス・セル 76 を選択する。

【0108】

次に、ステップ S 16 のバイパスコンデンサ追加処理で、選択されたインスタンス・セル 76 にバイパスコンデンサ 94 を追加する。これは例えば、選択されたインスタンス・セル 76 を、変更前に比べてバイパスコンデンサ 94 の容量が大きなセルに変更することで実現できる。これは、上記実施形態 1 で説明したバイパスコンデンサ追加処理 (ステップ S 5) と同様に行うことができる。

【0109】

その後、ステップ S 14 の搭載容量判定処理に戻り、ステップ S 14 で搭載容量が容量制約より大きくなるまでステップ S 14 ~ S 16 の各処理を繰り返す。

【0110】

以上により、本実施形態 2 によれば、必要容量のバイパスコンデンサ 94 を、より効果的な回路ブロック内部のノイズ源近くに追加することができるため、ノイズを所定の範囲内に確実に抑えることができる。また、予めノイズの見積もりにより容量制約を与えるため、上記実施形態 1 のように各処理を繰り返してノイズ解析を行う必要がなく、より短い時間で処理を行うことができる。

(実施形態 3)

図 10 は、本発明の実施形態 3 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【0111】

図 10 において、低ノイズ L S I 設計装置 30 は、回路設計用の制御プログラムおよびデータが記憶された第 5 記憶部 (可読記録媒体) としての ROM 31 と、

ワークメモリとして機能する第 6 記憶部としての RAM 3 2 と、回路設計用の各種データが記録されたデータベース 3 3 と、ユーザが操作指令を入力可能とする操作入力部 3 4 と、初期画面など各種画面情報を表示可能とする表示部 3 5 と、制御プログラムおよびデータに基づいて各部を制御する制御部 3 6 とを有し、半導体回路の回路設計を支援する。

【 0 1 1 2 】

制御部 3 6 は CPU (中央演算処理装置) で構成されており、入力手段 3 6 1 と、ゲートレベル変換手段 3 6 2 と、マッピング処理手段 3 6 3 と、比較手段 3 6 4 と、処理終了手段 3 6 5 と、論理ゲート選択手段 3 6 6 と、マッピング変更処理手段 3 6 7 とを有し、全体の処理が終了するまで、搭載容量と前記容量制約とを比較する比較処理以後の一連の処理を繰り返すことによりバイパスコンデンサ 9 4 を追加した回路パターンを自動生成する。

【 0 1 1 3 】

入力手段 3 6 1 は、LSI 装置 (LSI チップ) を構成する図 1 1 に示す論理回路ブロックの機能仕様情報 6 5、スタンダードセルライブラリ情報 7 0 および、ノイズ発生量を所定の範囲内に抑えるために、回路ブロックに搭載することが必要な電源ノイズおよび基板ノイズ低減用のバイパスコンデンサ 9 4 の容量である容量制約をデータベース 3 3 から入力処理する。

【 0 1 1 4 】

ゲートレベル変換手段 3 6 2 は、論理回路を機能レベルに基づいてゲートレベルに変換する。

【 0 1 1 5 】

マッピング処理手段 3 6 3 は、ゲートレベル論理回路中の全論理ゲートに対してそれぞれスタンダードセルライブラリ情報 7 0 中のセルを割り当てるマッピング処理を行う。

【 0 1 1 6 】

比較手段 3 6 4 は、論理回路に搭載されているバイパスコンデンサ 9 4 の容量である搭載容量との容量制約を比較する。

【 0 1 1 7 】

処理終了手段 3 6 5 は、搭載容量が容量制約より大きい場合にゲートレベル論理回路情報 6 6 をデータベース 3 3 に出力して記憶処理した後に終了処理を行う。

【 0 1 1 8 】

論理ゲート選択手段 3 6 6 は、搭載容量が容量制約以下の場合に所定ノイズ発生量以上の論理ゲートを選択する。

【 0 1 1 9 】

マッピング変更処理手段 3 6 7 は、選択された論理ゲートに対して、マッピング処理において割り当てたマッピングセルに基づいて、マッピングセルと論理は等価で内部に搭載されているバイパスコンデンサ 9 4 の容量が異なる別のセルへと割り当てを変更するかまたは、マッピングセルにバイパスコンデンサ 9 4 のみからなるバイパスコンデンサセルを追加で割り当てる処理を行う。

【 0 1 2 0 】

上記構成により、以下、その動作を説明する。

【 0 1 2 1 】

図 1 1 は、本発明の実施形態 3 に係る低ノイズ L S I 設計方法の処理手順を示すフローチャートである。

【 0 1 2 2 】

図 1 1 に示すように、ステップ S 1 0 0 の論理合成処理において、まず、論理回路の機能仕様(HDL) 6 5、スタンダードセルライブラリ情報 7 0 およびバイパスコンデンサ容量制約 6 8 をデータベース 3 3 から入力処理する。

【 0 1 2 3 】

ここで、バイパスコンデンサ 9 4 の容量制約 6 8 とは、ノイズ発生量（ノイズ電圧レベルおよびノイズ発生数など）を低減するために回路ブロックに搭載すべきバイパスコンデンサ 9 4 の容量に関する制約であり、人手で予め指定してデータベース 3 3 内に記憶しておくこともできる。

【 0 1 2 4 】

また、入力された機能仕様(HDL) 6 5 を用いて、市販の消費電力推定ツールで、回路ブロックの消費電力 P を見積もり、以下の（式 6）を用いて回路ブロック

の負荷容量Cloadを求める。

$$Cload = P / f * Vdd^2 \quad (\text{式 6})$$

ここに、Cloadは論理ゲートの負荷容量、Pは消費電力、fはクロックの周波数、Vddは電源電圧である。

【 0 1 2 5 】

上記実施形態 2 で説明した (式 4) を用いて、必要なバイパスコンデンサ容量 Cd を計算し、これをバイパスコンデンサ容量制約 6 8 として指定してもよい。

【 0 1 2 6 】

また、本スタンダードセルライブラリ 7 0 には、論理が等価で内部に含まれるバイパスコンデンサ 9 4 の容量が異なるバイパスコンデンサ付きセル 7 8 が与えられているものとする。例えば上記実施形態 1 において、図 5 を用いて説明したスタンダードセルライブラリ 7 0 がその一例である。

【 0 1 2 7 】

また、バイパスコンデンサ 9 4 のみからなるバイパスコンデンサセル 7 7 (後述する図 1 5 参照) を含んでもよい。

【 0 1 2 8 】

ステップ S 1 0 0 の論理合成処理は以下の各処理からなっている。

【 0 1 2 9 】

まず、入力処理後のステップ S 1 0 1 のゲートレベル変換処理では、論理回路を機能仕様(HDL)からゲートレベルに変換する処理である。

【 0 1 3 0 】

次に、ステップ S 1 0 2 のテクノロジマッピング処理では、回路ブロック中の全ての論理ゲートに対して、使用するスタンダードセルライブラリ 7 0 中のセルに割り当てるマッピング処理を行う。

【 0 1 3 1 】

本実施形態 3 の本発明の特徴は、与えられたバイパスコンデンサ容量制約 6 8 を満足するように、全体のセル割り当てを行うことにある。なお、セルが割り当てられた論理ゲートのことをインスタンス・セル 7 6 と呼ぶ。

【 0 1 3 2 】

次に、ステップ S 1 0 3 の搭載容量判定処理において、現在、回路ブロック 3 0 0（図 1 4 および図 1 5 参照）に搭載されているバイパスコンデンサ 9 4 の合計容量である搭載容量と、バイパスコンデンサ容量制約 6 8 とを比較し、搭載容量が容量制約 6 8 より大きい場合には、ゲートレベル論理回路情報 6 6 をデータベース 3 3 に出力し、処理を終了する。

【 0 1 3 3 】

一方、現在の搭載容量が総容量制約 6 8 より小さい場合には、次に続くステップ S 1 0 4 の論理ゲート選択処理に移行する。

【 0 1 3 4 】

次に、ステップ S 1 0 4 の論理ゲート選択処理では、回路ブロック中のインスタンス・セル 7 6 の中から、ノイズ発生量を所定値より多く発生していると思われるインスタンス・セル 7 6 であり、かつ、ノイズを最も多く発生していると思われるインスタンス・セル 7 6 であり、バイパスコンデンサ 9 4 を大きくするとノイズ低減効果が高いと思われるインスタンス・セル 7 6 を選択する。

【 0 1 3 5 】

これは、上記実施形態 2 で説明した論理ゲート選択処理（ステップ S 1 5）と同様に行うことができる。

【 0 1 3 6 】

これに続く、ステップ S 1 0 5 のマッピング変更処理では、スタンダードセルライブラリ 7 0 にあるセルの中から、選択されたインスタンス・セル 7 6 と論理が等価で、バイパスコンデンサ 9 4 の大きさが異なるセル 7 8 に割り当てを変更するマッピング変更処理を行う。

【 0 1 3 7 】

今、上記論理ゲート選択処理（ステップ S 1 0 4）において、選択されたインスタンス・セル 7 6 には、テクノロジマッピング処理（ステップ S 1 0 2）において、図 5 に示すスタンダードセルライブラリ 7 0 中のセル 7 8 A が割り当てられているとする。

【 0 1 3 8 】

そこで、本マッピング変更処理（ステップ S 1 0 5）で、論理が等価でバイパ

スコンデンサ 9 4 の容量が変更前のセル 7 8 A よりも大きなセル 7 8 B に割り当てを変更する。

【 0 1 3 9 】

または、選択されたインスタンス・セル 7 6 に、バイパスコンデンサ 9 4 のみからなるバイパスコンデンサセル 7 7 を追加で割り当てすることもできる。即ち、インスタンス・セル 7 6 には、セル 7 8 A およびバイパスコンデンサセル 7 7 の二つのセルが割り当てられることになる。

【 0 1 4 0 】

次に、ステップ S 1 0 3 の搭載容量判定処理に戻り、処理が終了するまで、ステップ S 1 0 3 ～ S 1 0 5 の各処理を繰り返す。

【 0 1 4 1 】

以上により、本実施形態 3 によれば、回路ブロック全体としてバイパスコンデンサ容量制約 6 8 を満足しながら、さらにノイズ発生量の大きな論理ゲートにバイパスコンデンサ付きセルを割り当てることができるため、必要量のバイパスコンデンサ 9 4 を、より効果的な回路ブロック内のノイズ源近くに追加することができて、ノイズ発生量を指定の範囲内に確実に抑えることができる論理合成手法を得ることができる。

(実施形態 4)

図 1 2 は、本発明の実施形態 4 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【 0 1 4 2 】

図 1 2 において、低ノイズ L S I 設計装置 4 0 は、回路設計用の制御プログラムおよびデータが記憶された第 7 記憶部（可読記録媒体）としての ROM 4 1 と、ワークメモリとして機能する第 8 記憶部としての RAM 4 2 と、回路設計用の各種データが記録されたデータベース 4 3 と、ユーザが操作指令を入力可能とする操作入力部 4 4 と、初期画面など各種画面情報を表示可能とする表示部 4 5 と、制御プログラムおよびデータに基づいて各部を制御する制御部 4 6 とを有し、半導体集積回路（L S I チップ）の回路設計を支援する。

【 0 1 4 3 】

制御部 4 6 は CPU (中央演算処理装置) で構成されており、入力手段 4 6 1 と、セル配置手段 4 6 2 と、比較手段 4 6 3 と、処理終了手段 4 6 4 と、バイパスコンデンサセル追加手段 4 6 5 とを有し、全体の処理が終了するまで、搭載容量と容量制約とを比較する処理以後の一連の処理を繰り返すことにより回路パターンを自動生成する。

【 0 1 4 4 】

入力手段 4 6 1 は、半導体集積回路を構成する回路ブロックの図 1 3 に示すネットリスト 6 3、電源ノイズおよび基板ノイズ低減用の少なくとも一つのバイパスコンデンサのみからなるバイパスコンデンサセルを含むセルライブラリ 7 1 および、ノイズ発生量 (ノイズ電圧レベルおよびノイズ発生数) を低減するために、回路ブロックに搭載することが必要なバイパスコンデンサの容量である容量制約をデータベース 4 3 から入力処理する。

【 0 1 4 5 】

セル配置手段 4 6 2 は、ネットリスト 6 3 に従って、セルを互いに並行な複数のセル行に配置する。

【 0 1 4 6 】

比較手段 4 6 3 は、回路ブロックに搭載されているバイパスコンデンサの容量である搭載容量と容量制約を比較する。

【 0 1 4 7 】

処理終了手段 4 6 4 は、搭載容量が容量制約より大きい場合に処理を終了する。

【 0 1 4 8 】

バイパスコンデンサセル追加手段 4 6 5 は、搭載容量が総容量制約以下の場合に上記セル行にバイパスコンデンサセルを挿入する。

【 0 1 4 9 】

上記構成により、以下、その動作を説明する。

【 0 1 5 0 】

図 1 3 は本発明の実施形態 4 に係る低ノイズ L S I レイアウト設計方法の処理手順を示すフローチャートである。

【0151】

図13に示すように、まず、ステップS1001の入力処理で、LSIチップを構成する回路ブロックのネットリスト63と、バイパスコンデンサのみからなるバイパスコンデンサセル77を少なくとも一つ含むセルライブラリ情報71と、回路ブロックに搭載すべきバイパスコンデンサの容量制約68をデータベース43から入力処理する。

【0152】

例えば、セルライブラリ71中に含まれるバイパスコンデンサセル77（図15参照）として、バイパスコンデンサ容量が例えばAであるセル77Aが用意されているとする。

【0153】

バイパスコンデンサの容量制約68は、例えば過去の設計ノウハウなどを用いて人手で指定することができる。なお、容量制約として例えば3Aを指定するものとして説明する。

【0154】

次に、ステップS1002のセル配置処理では、ネットリスト63に従って、回路ブロック300中のセル76（図14および図15参照）を互いに平行な複数のセル行210に配置する。図14はセル配置後の状態を示している。図14において、回路ブロック300中のセル76は、互いに平行な3行のセル行210に配置されている。

【0155】

さらに、ステップS1003の搭載容量判定処理において、現在、回路ブロック300に搭載されているバイパスコンデンサ94の合計である搭載容量と、入力処理S1001で指定したバイパスコンデンサ容量制約68を比較し、搭載容量が容量制約68より大きければ、その処理を終了する。また、搭載容量が容量制約68より小さければ、次のステップS1004のバイパスコンデンサセル挿入処理に移行する。

【0156】

次に、ステップS1004のバイパスコンデンサセル挿入処理では、配置済み

セル行 2 1 0 にバイパスコンデンサセル 7 7 を挿入する。

【0 1 5 7】

図 9 の回路に、バイパスコンデンサセル 7 7 を挿入した状態を図 1 0 に示している。

【0 1 5 8】

前記回路ブロック 3 0 0 における搭載容量 1 1 1 が、前記の容量制約 6 8 を満足するまで、バイパスコンデンサセル挿入処理（ステップ S 1 0 0 4）を繰り返す。

【0 1 5 9】

バイパスコンデンサセル 7 7 を挿入する場所はどこでもよいが、大きなノイズを発生するセル 7 6 の近くに挿入することが好ましい。

【0 1 6 0】

図 1 5 において、バイパスコンデンサセル 7 7 の挿入位置は、面積が大きなセルほど中に含まれるトランジスタのサイズも大きく、よって面積の大きなセルほど大きなノイズを生じる可能性が高いとの予測から、面積の大きなセルの横に配置した。

【0 1 6 1】

上記回路ブロック 3 0 0 における搭載容量が、容量制約 6 8 を越えるまで、バイパスコンデンサセル挿入処理（ステップ S 1 0 0 4）を繰り返す。

【0 1 6 2】

容量制約として 3 A を与え、バイパスコンデンサセル 7 7 は、1 セルに大きさが A の容量を含むとしたので、図 1 5 に示すように、回路ブロック 3 0 0 の中に、3 個のバイパスコンデンサセル 7 7 を配置した時点で全体の処理が終了する。

【0 1 6 3】

以上により、上記実施形態 4 によれば、図 1 5 に示すように、回路ブロック 3 0 0 中に配置されているセル行 2 1 0 にバイパスコンデンサセル 7 7 を挿入することができるので、ノイズ源の近くにバイパスコンデンサ 9 4 を配置する場所を確保することができ、ノイズを所定の範囲以下に確実に抑えることができる。

【0 1 6 4】

なお、上記実施形態 1 において、ノイズ影響度の計算の一例として（式 3）を挙げたが、これに限定されない。

【0 1 6 5】

また、上記実施形態 1 において、ノイズ解析に回路シミュレータを用いてもよい。

【0 1 6 6】

さらに、上記実施形態 2 において、ノイズ影響度の計算の一例として（式 5）を挙げたが、これに限定されない。

【0 1 6 7】

さらに、上記実施形態 4 において、容量制約 6 8 を満たすために回路ブロックの空き領域を利用してもよい。例えば図 1 5 において回路ブロック 3 0 0 中のセル行 2 1 0 が配置されていない空き領域 2 2 0 に、バイパスコンデンサ 9 4 を形成することができるので、容量制約 6 8 を満たすために、この空き領域を利用することができる。

【0 1 6 8】

この空き領域 2 2 0 に搭載するバイパスコンデンサ 9 4 の容量を例えば B とすると、容量制約 6 8 を A から B を引いたものと考えて、バイパスコンデンサセル 7 7 を配置すればよいので、バイパスコンデンサ追加による面積の増加を抑えることができる。

【0 1 6 9】

さらに、上記実施形態 4 において、バイパスコンデンサセル 7 7 として容量 A を含む 1 種類のセルを用いて説明したが、異なる容量を持つバイパスコンデンサセルを複数用いても同様の効果を得ることができる。

【0 1 7 0】

【発明の効果】

以上により、本発明によれば、必要量のバイパスコンデンサを、より効果的な回路ブロック内のノイズ源近くに追加できるため、ノイズを指定の範囲内に確実に抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【図 2】

本発明の実施形態 1 に係る低ノイズ L S I 設計方法の処理手順を示すフローチャートである。

【図 3】

図 2 のノイズ解析処理（ステップ S 2）の一例を示すフローチャートである。

【図 4】

図 3 のキャラクタライズ処理（ステップ S 2 1）で生成するセルのマクロモデルの等価回路図である。

【図 5】

図 2 のスタンダードセルライブラリ内のバイパスコンデンサ付きセルを示す等価回路図である。

【図 6】

図 3 の等価回路作成処理で得られる L S I チップとパッケージ全体の等価回路図である。

【図 7】

A は図 5 のインバータ回路の出力ノードにおける電圧波形図、B は電源端子における電源電流波形図である。

【図 8】

本発明の実施形態 2 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【図 9】

本発明の実施形態 2 に係る低ノイズ L S I 設計方法の処理手順を示すフローチャートである。

【図 1 0】

本発明の実施形態 3 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【図 1 1】

本発明の実施形態 3 に係る低ノイズ L S I 設計方法の処理手順を示すフローチャートである。

【図 1 2】

本発明の実施形態 4 に係る低ノイズ L S I 設計装置の要部構成例を示すブロック図である。

【図 1 3】

本発明の実施形態 4 に係る低ノイズ L S I 設計方法の処理手順を示すフローチャートである。

【図 1 4】

セル配置後の状態を示す図である。

【図 1 5】

バイパスコンデンサセルをセル行内に配置した状態を示す図である。

【図 1 6】

従来の電源ノイズの発生機構を説明するための L S I チップとパッケージ全体の等価回路図である。

【符号の説明】

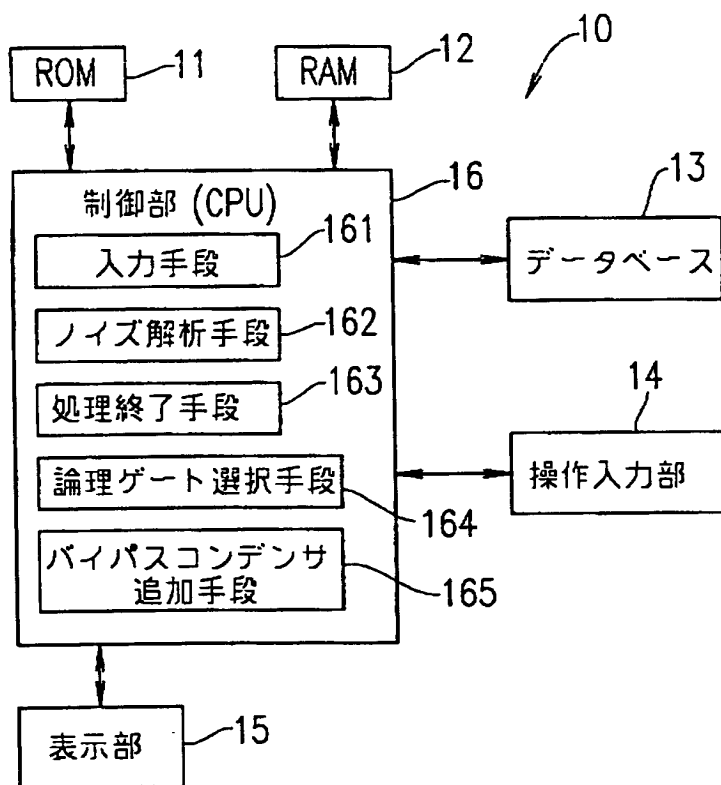
1 0, 2 0, 3 0, 4 0	低ノイズ L S I 設計装置
1 1, 2 1, 3 1, 4 1	ROM
1 2, 2 2, 3 2, 4 2	RAM
1 3, 2 3, 3 3, 4 3	データベース
1 6, 2 6, 3 6, 4 6	制御部
1 6 1, 2 6 1, 3 6 1, 4 6 1	入力手段
1 6 2	ノイズ解析手段
1 6 3, 2 6 5, 3 6 5, 4 6 4	処理終了手段
1 6 4, 2 6 6, 3 6 6	論理ゲート選択手段
1 6 5	バイパスコンデンサ追加手段
2 6 2	ノイズ見積手段
2 6 3	容量制約指定手段

- 2 6 4, 3 6 4 比較手段
- 2 6 7 バイパスコンデンサ追加手段
- 3 6 2 ゲートレベル変換手段
- 3 6 3 マッピング処理手段
- 3 6 7 マッピング変更処理手段
- 4 6 2 セル配置手段
- 4 6 3 比較手段
- 4 6 5 バイパスコンデンサセル追加手段
- 6 0 回路ブロックの論理回路情報
- 6 2 スイッチングイベントデータベース
- 6 3 ネットリスト
- 6 8 バイパスコンデンサ容量制約
- 6 9 論理合成の入力となる遅延、面積、電力などの必要な制約
- 7 0 スタンダードセルライブラリ情報
- 7 1 基板ノイズマクロモデルライブラリ
- 7 6 インスタンス・セル
- 7 7 バイパスコンデンサセル
- 7 8 バイパスコンデンサ付きセル
- 9 0 L S I チップの内部負荷
- 8 0 L S I チップのパッケージ情報
- 9 1 Vssと基板間の抵抗
- 9 2 N-wellとP基板間の逆バイアスPN接合容量
- 9 3 VddとVss間の寄生的に形成された容量
- 9 4 バイパスコンデンサ
- 1 0 1 電源から供給される電流を表す電流源
- 1 0 2 スイッチングノードから基板へ流れる電流を表す電流源
- 1 2 0 L S I チップ
- 1 2 1 電源端子
- 1 2 2 グランド端子

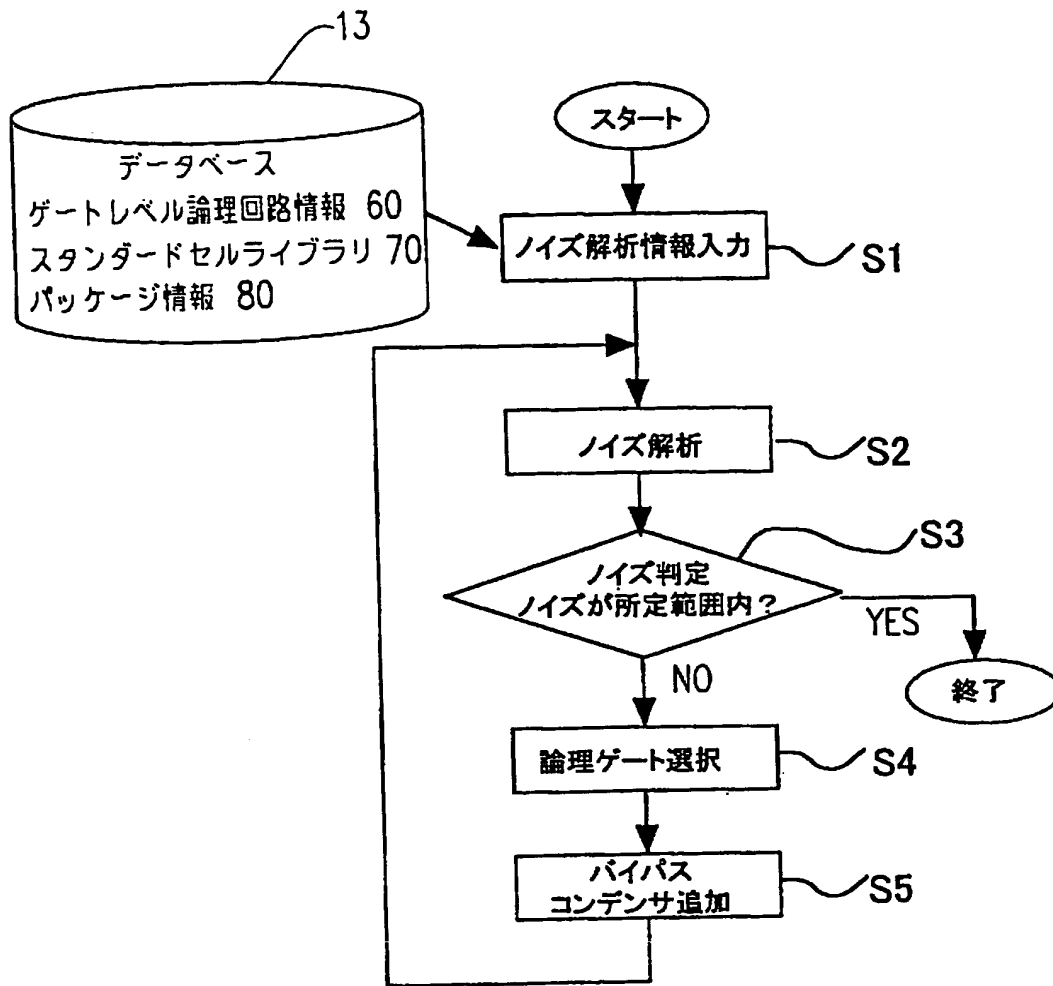
- 1 2 3 L S I 内グランド配線抵抗
- 1 2 4 L S I 内電源配線抵抗
- 1 3 0 パッケージ
- 1 4 0 ボンディングワイヤのインダクタンス
- 1 5 0 外部電源
- 2 0 1 各スタンダードセルの電源電流 1 0 1 をまとめた電流源
- 2 0 2 各スタンダードセルの基板電流 1 0 2 をまとめた電流源
- 2 1 0 セル行
- 2 2 0 回路ブロック 3 0 0 中の空き領域
- 2 9 2 各スタンダードセルのN-wellとP基板間の逆バイアスPN接合容量 9 2 をまとめた容量
- 2 9 3 各スタンダードセルのVddとVss間の寄生容量 9 3 をまとめた容量
- 2 9 4 各スタンダードセルのバイパスコンデンサ 9 4 をまとめた容量
- 3 0 0 回路ブロック

【書類名】 図面

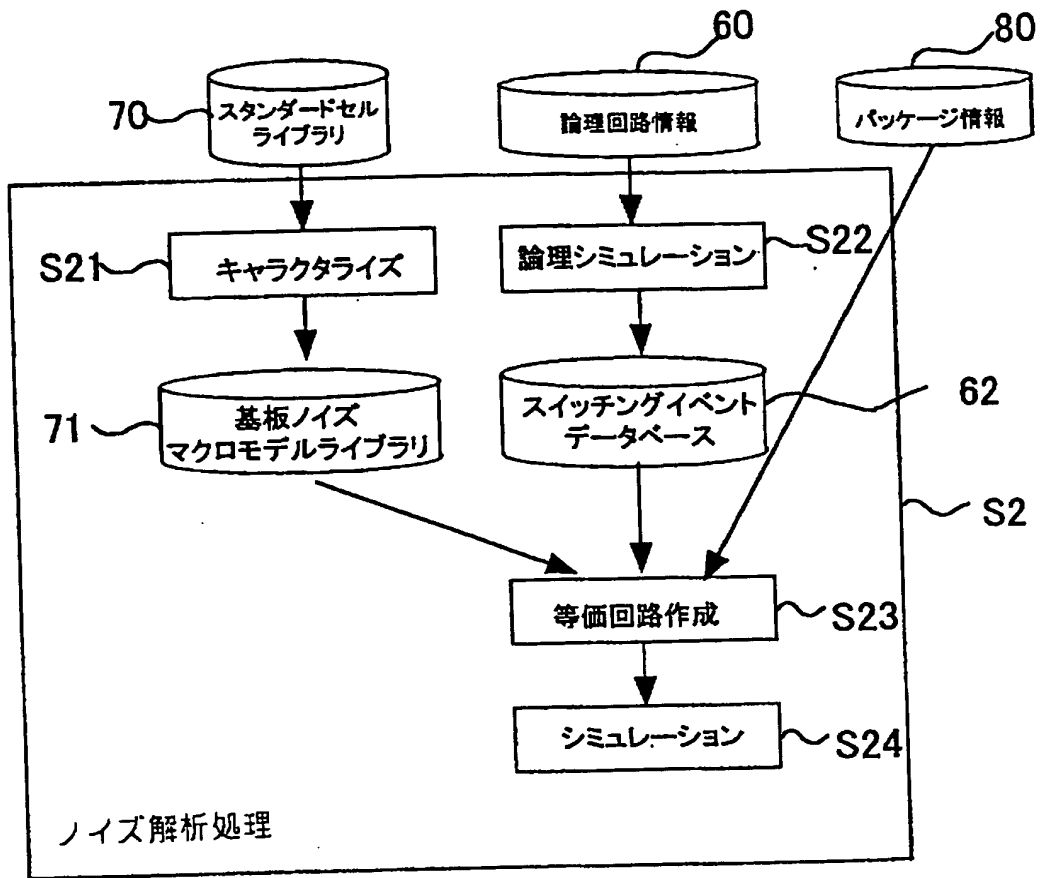
【図 1】



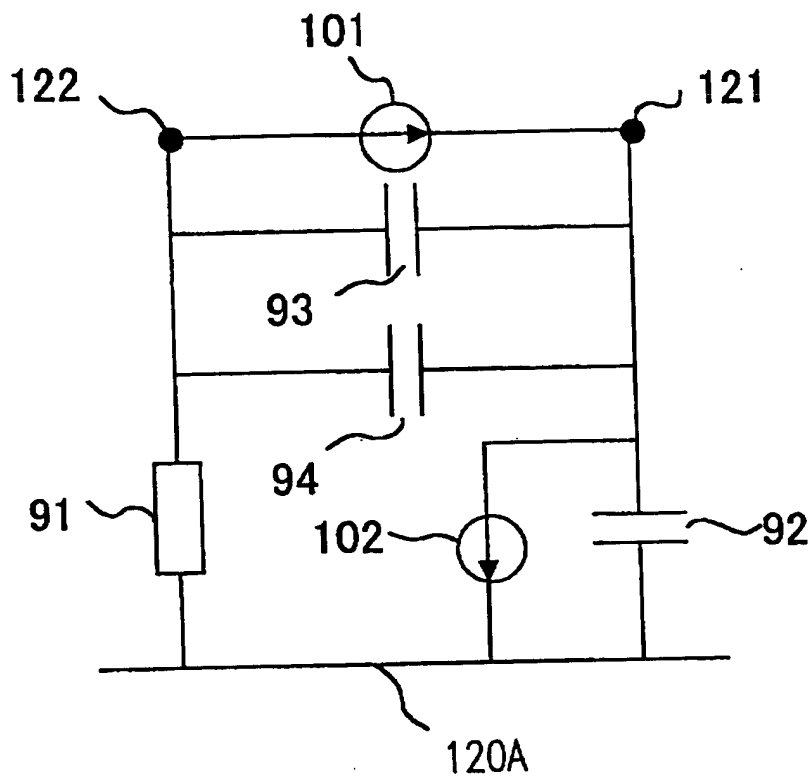
【図 2】



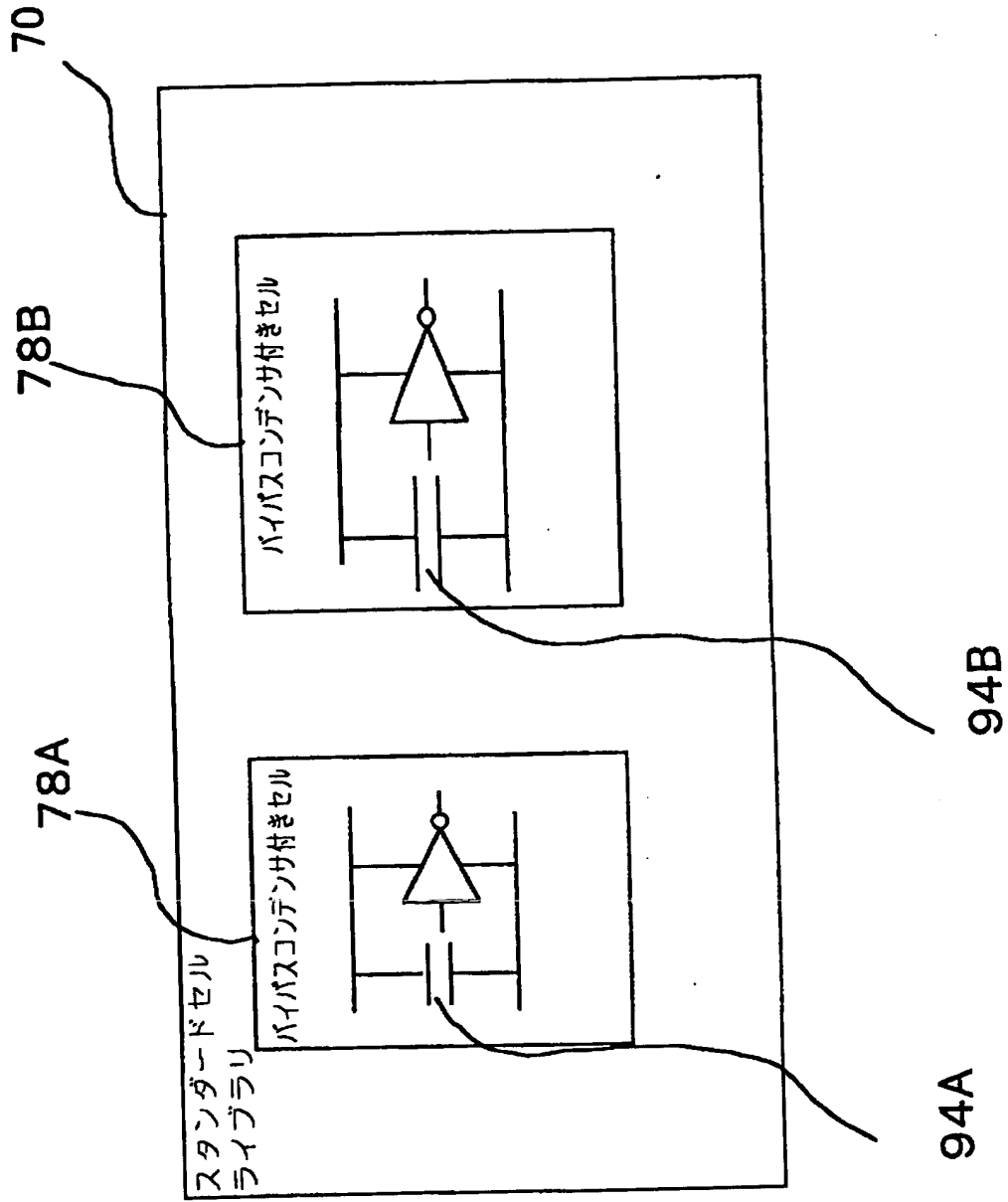
【図 3】



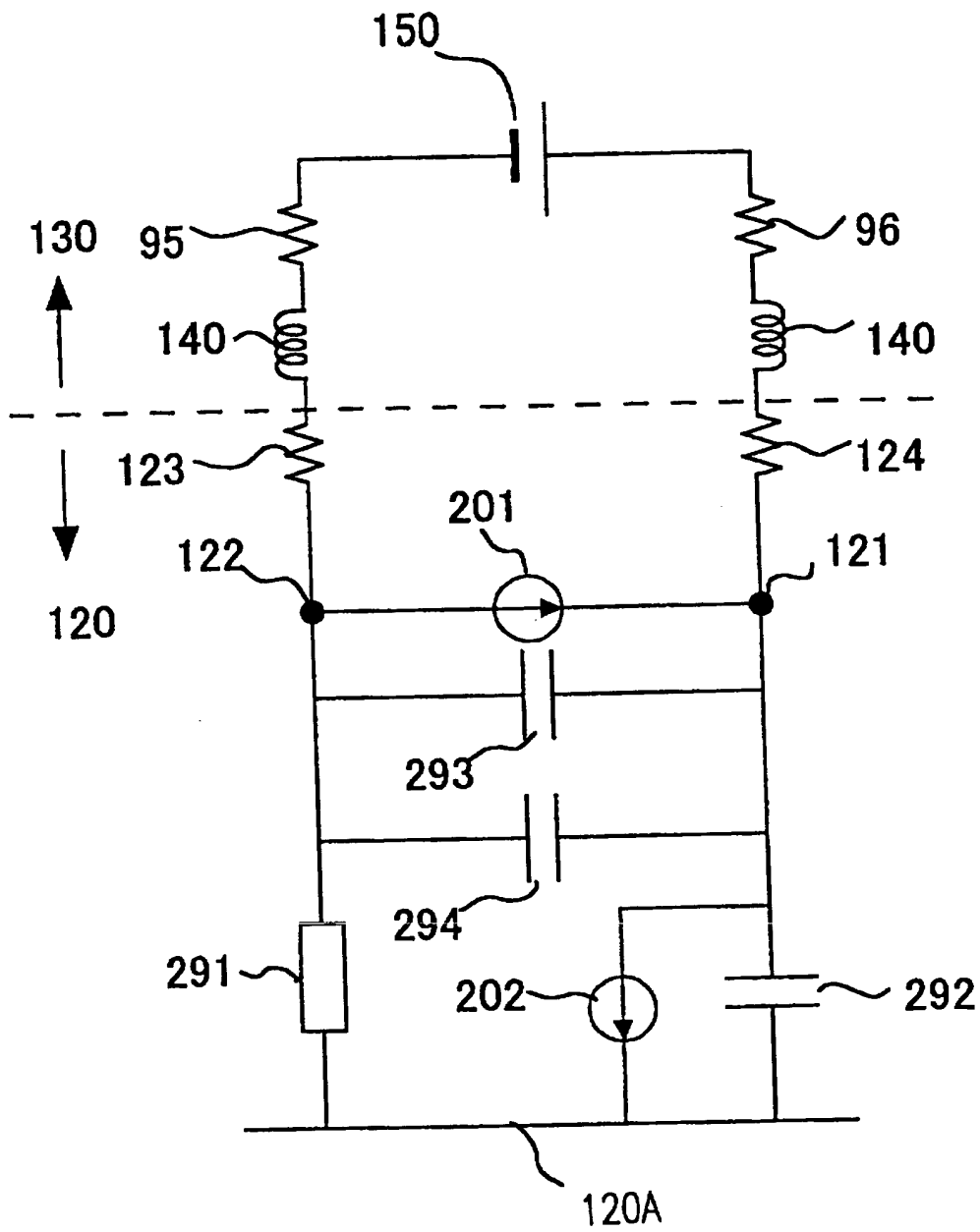
【図 4】



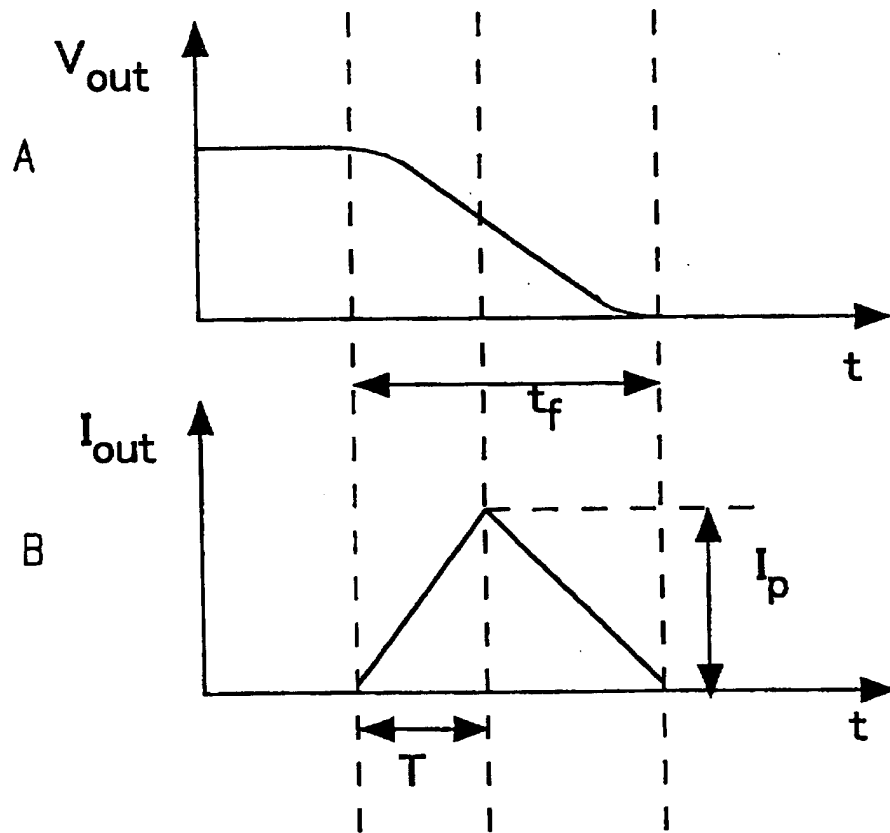
【図 5】



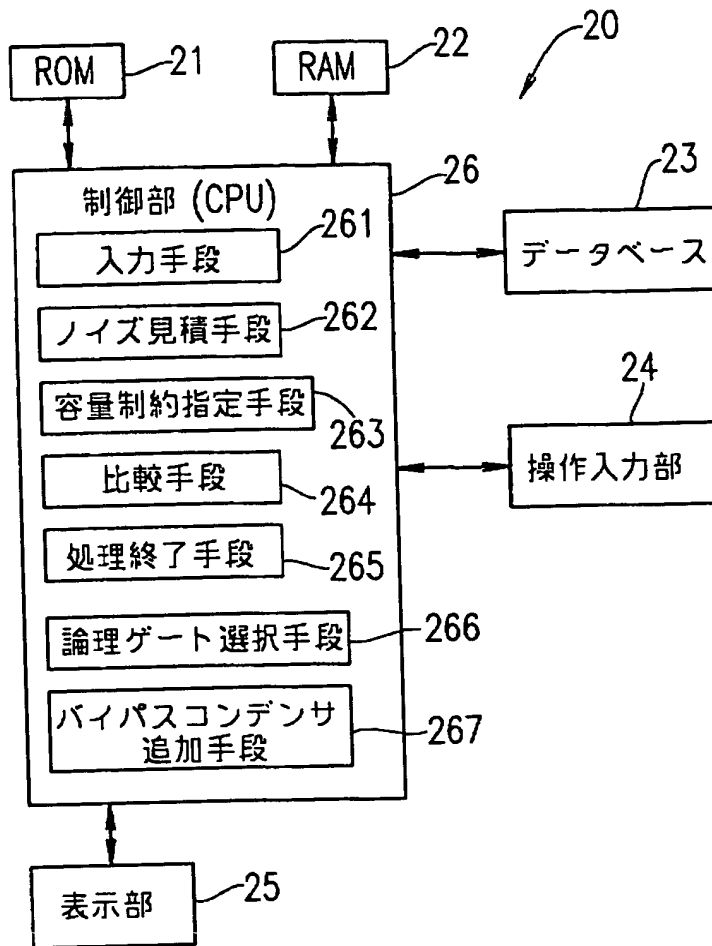
【図 6】



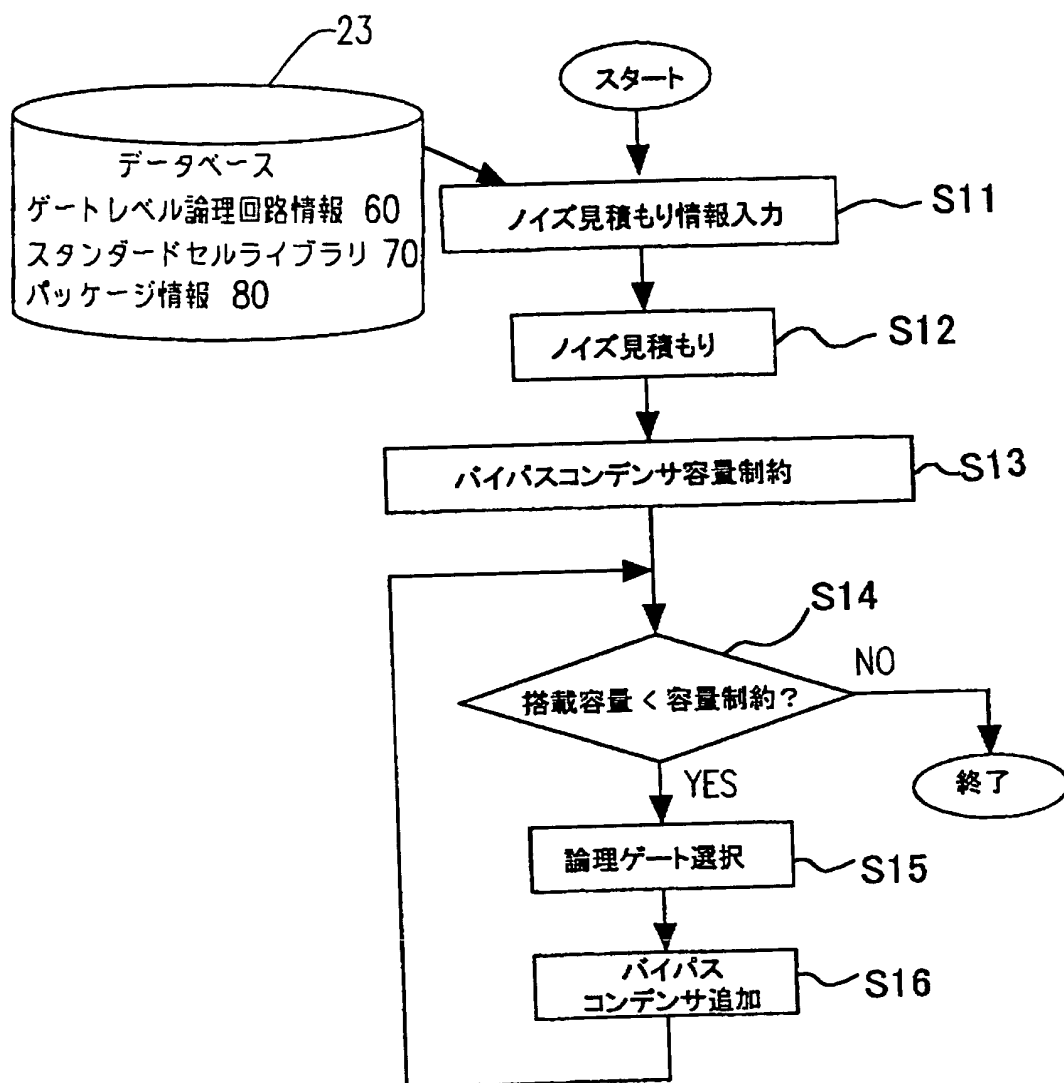
【図7】



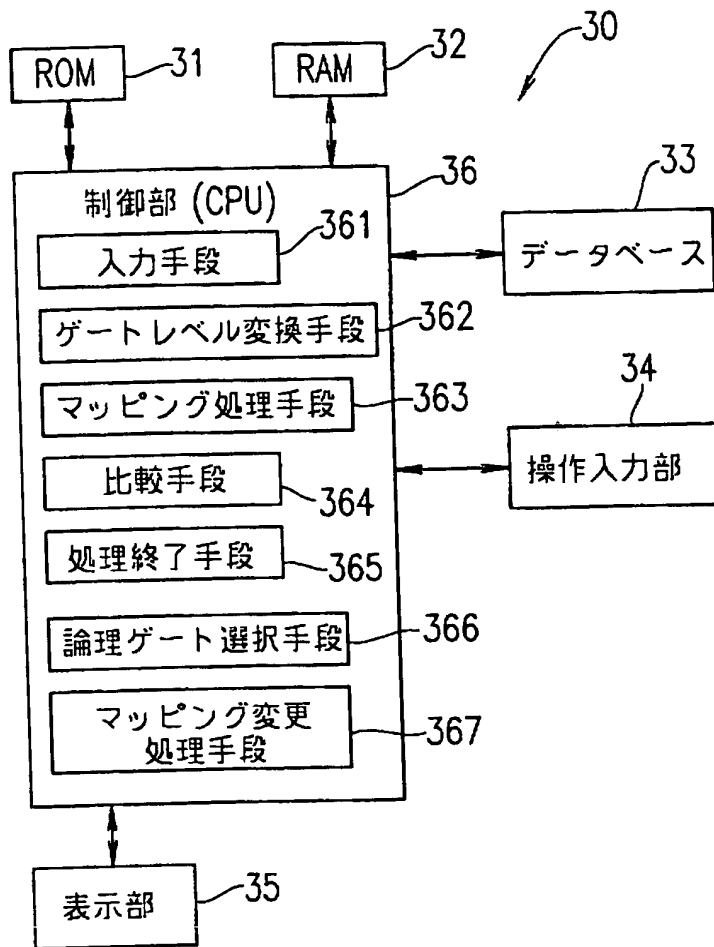
【図 8】



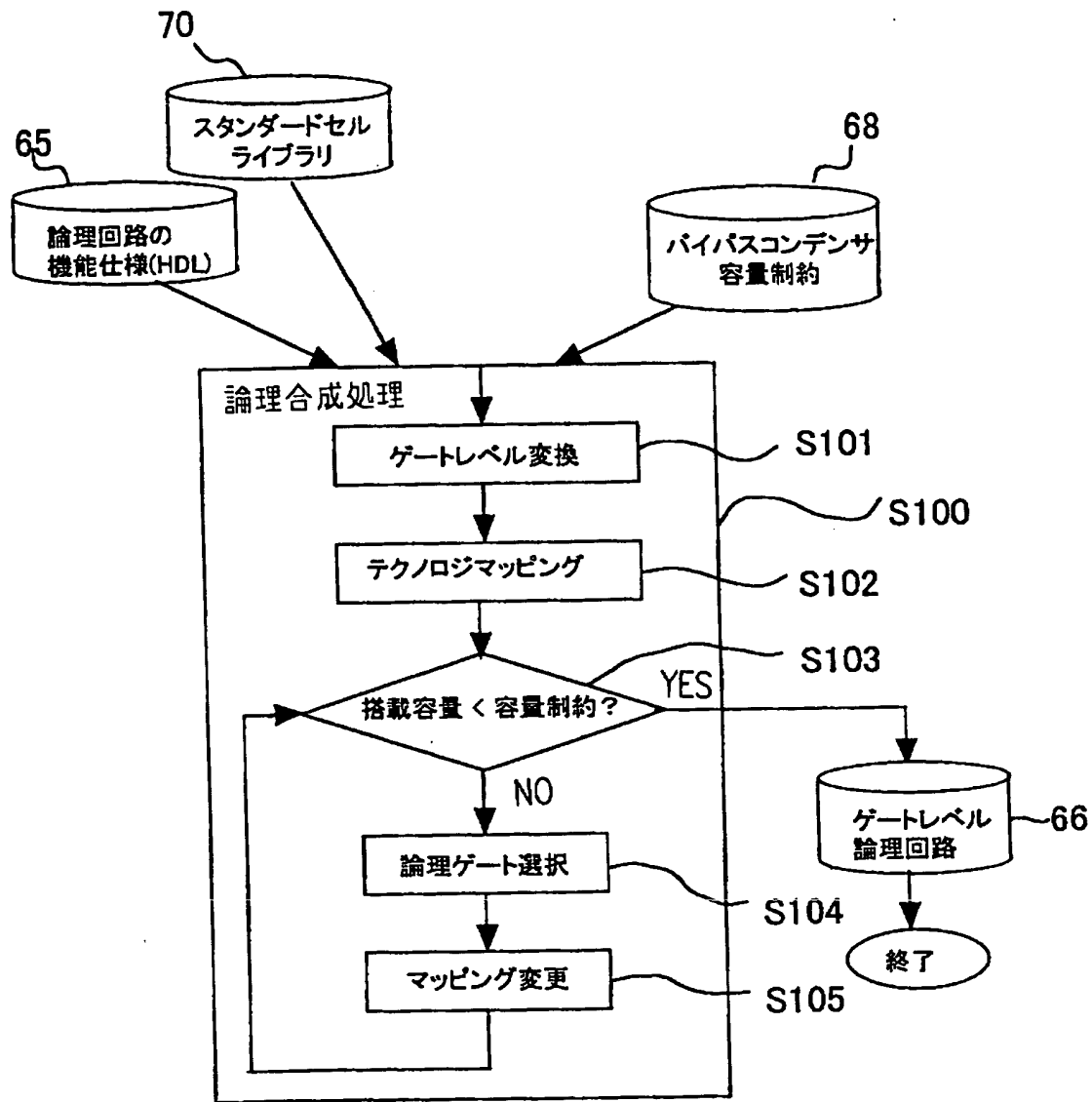
【図9】



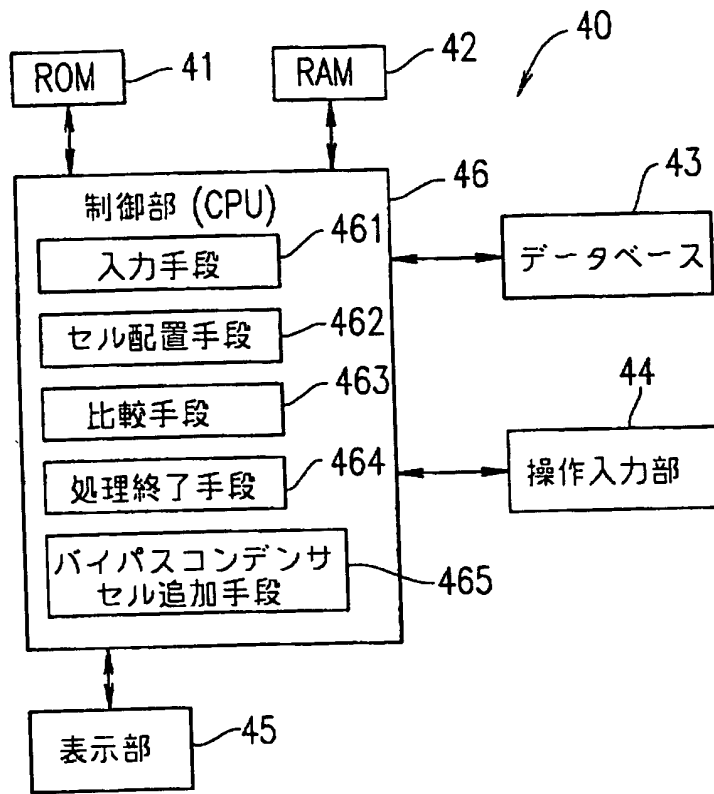
【図 1 0】



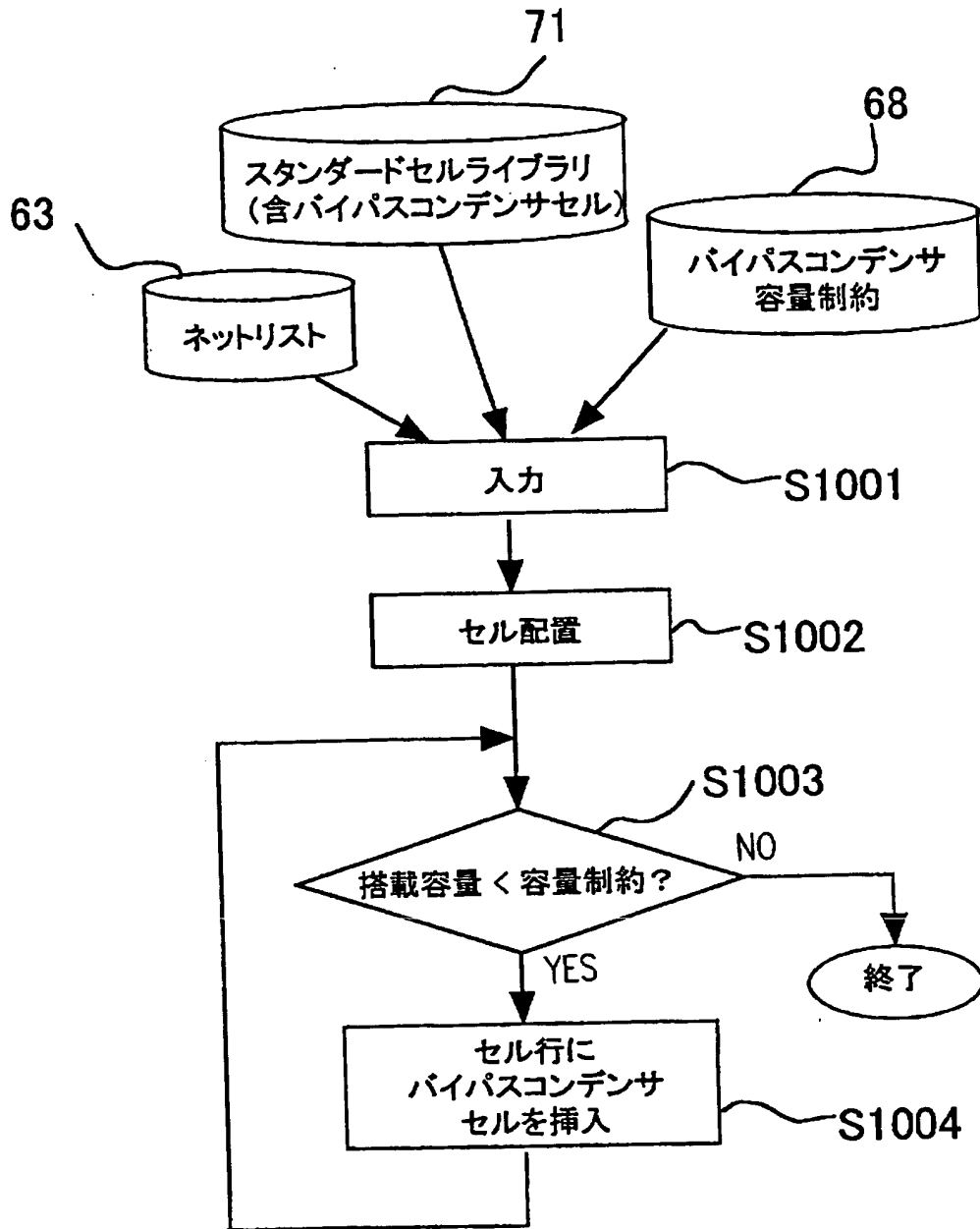
【図 1 1】



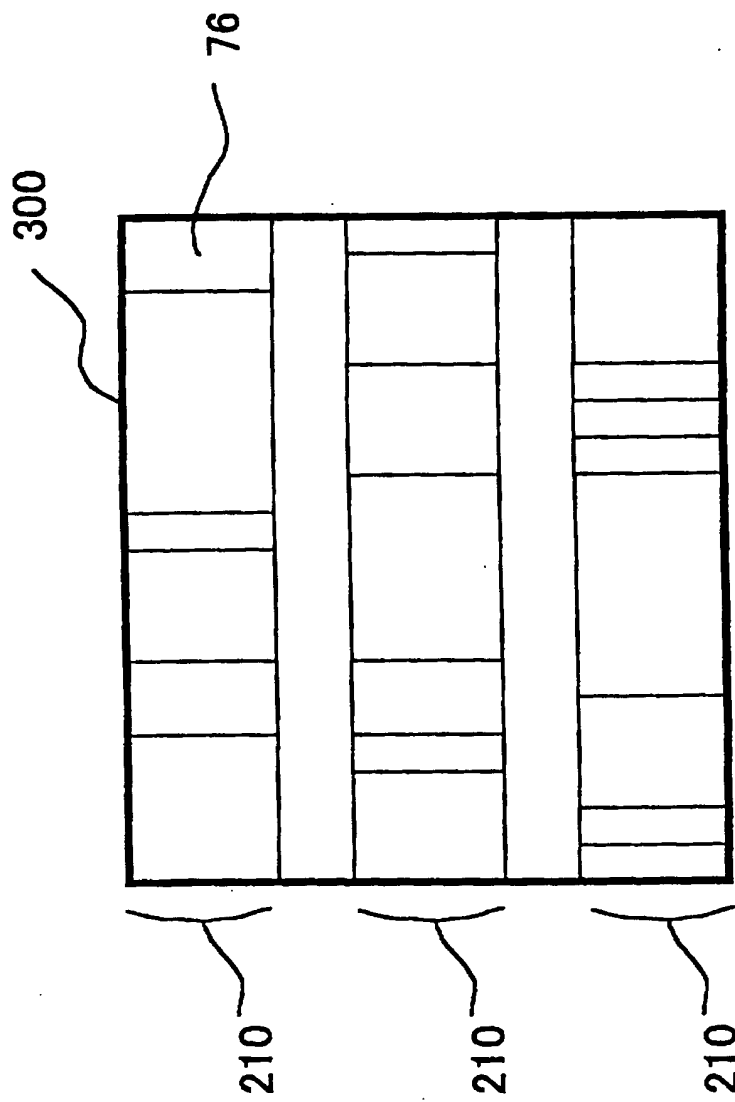
【図 1 2】



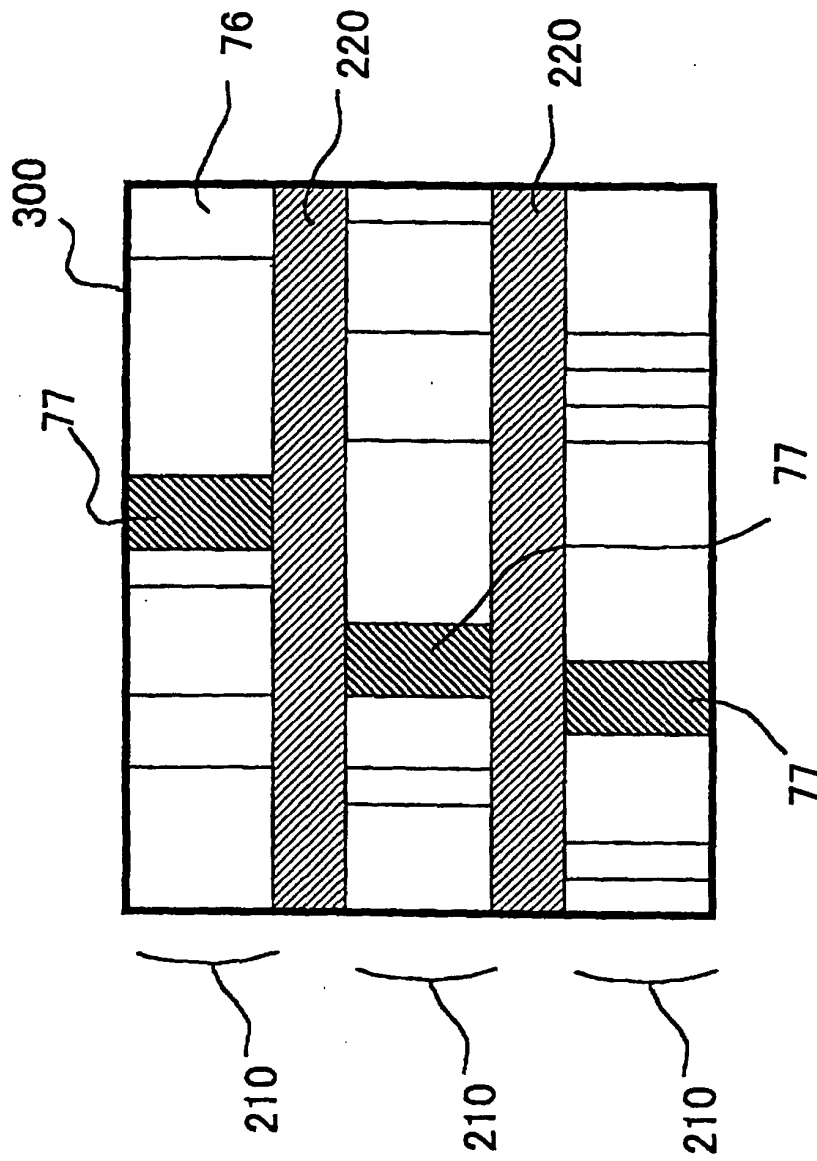
【図13】



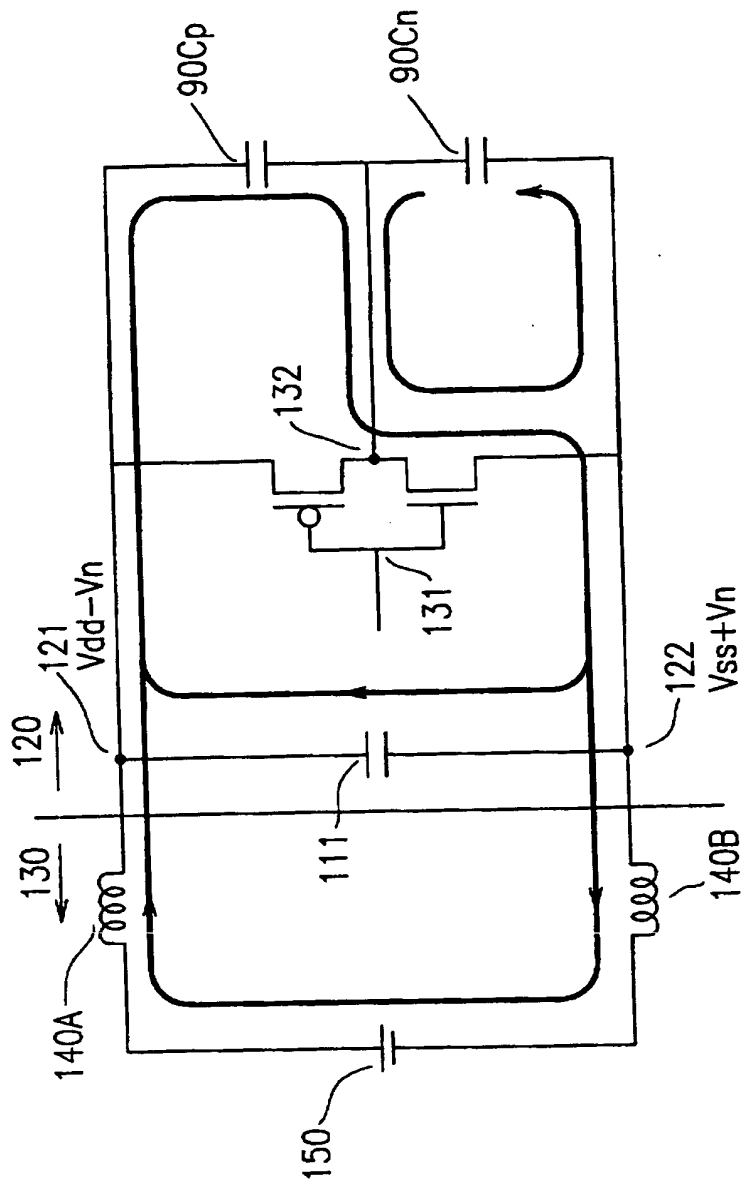
【図14】



【図15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 必要容量のバイパスコンデンサを、より効果的な回路ブロック内部のノイズ源近くに追加することにより、ノイズを所定の範囲内に確実に抑える。

【解決手段】 L S I 設計において、L S I チップの回路ブロックのゲートレベル論理回路情報 6 0、スタンダードセルライブラリ情報 7 0 およびパッケージ情報 8 0 を入力処理し、入力された情報を用いて L S I チップのノイズ解析処理を行い、ノイズ発生量が所定の範囲内ならば処理を終了し、ノイズ発生量が所定の範囲を超えるならば、回路ブロック中の論理ゲートを選択し、選択された論理ゲートにバイパスコンデンサを追加する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2002-188421
受付番号	50200945511
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 6月28日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005821

【住所又は居所】

大阪府門真市大字門真1006番地

【氏名又は名称】

松下電器産業株式会社

【代理人】

申請人

【識別番号】

100078282

【住所又は居所】

大阪府大阪市中央区城見1丁目2番27号 クリスタル
タワー15階

【氏名又は名称】

山本 秀策

【選任した代理人】

【識別番号】

100062409

【住所又は居所】

大阪府大阪市中央区城見1丁目2番27号 クリ
スタルタワー15階 山本秀策特許事務所

【氏名又は名称】

安村 高明

【選任した代理人】

【識別番号】

100107489

【住所又は居所】

大阪府大阪市中央区城見一丁目2番27号 クリスタル
タワー15階 山本秀策特許事務所

【氏名又は名称】

大塩 竹志

次頁無

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社